

# 열 병렬 SAR ADC를 내장한 CMOS 이미지 센서의 화소의 초기 전압 잡음 및 ADC 오프셋 제거 방안

## (A Cancellation Method for Pixel Reset Noise and ADC Offset of CMOS Image Sensors with Column Parallel SA-ADCs)

김민규<sup>1</sup>, 구자승<sup>2</sup>, 유상동<sup>2</sup>, 홍성관<sup>1</sup>, 권오경<sup>1</sup>

<sup>1</sup>한양대학교 융합전자공학과, <sup>2</sup>SK Hynix Semiconductor Inc.

Min-Kyu Kim<sup>1</sup>, Jaseung Gou<sup>2</sup>, Sang-Dong Yoo<sup>2</sup>, Seong-Kwan Hong<sup>1</sup>,  
and Oh-Kyong Kwon<sup>1a</sup>

<sup>1</sup>Department of Electronics and Computer Engineering, Hanyang University

<sup>2</sup>SK Hynix Semiconductor Inc.

E-mail : okwon@hanyang.ac.kr

**요약** - 본 논문에서는 열 병렬 successive approximation analog-to-digital converter (SA-ADC)를 내장한 소면적 저전력 CMOS 이미지 센서 (CIS)에 사용되는 correlated double sampling (CDS) 방식을 제안한다. 제안한 CDS 방식은 화소 출력의 초기 전압이 가지는 잡음과 각 ADC의 오프셋을 제거할 뿐만 아니라 추가 회로의 사용 없이 커패시터 digital-to-analog converter (DAC)에 연결된 기준 전압을 조절하여 면적과 소비 전력을 줄였다. 테스트 칩은 0.18  $\mu\text{m}$  CMOS 공정으로 제작되었으며 SA-ADC를 가지는 50개의 리드아웃 채널 어레이를 내장한다. 각 리드아웃 채널은 14  $\mu\text{m} \times 1116 \mu\text{m}$ 의 면적을 차지하며 19.8  $\mu\text{W}$ 의 전력을 소비한다. 측정 결과 SA-ADC는  $-0.82/+1.42$  LSB의 DNL과  $-1.31/+2.08$  LSB의 INL를 가지며 10.5-비트의 ENOB를 가진다. 또한 제안한 CDS 방식을 통해 각 SA-ADC의 편차는 54.64 LSB에서 0.35 LSB로 감소한다.

SA-ADC has a DNL of  $-0.82/+1.42$  LSB and an INL of  $-1.31/+2.08$  LSB, and an ENOB of 10.5-bit. In addition, the proposed CDS method reduces a standard deviation of SA-ADC from 54.64 LSB to 0.35 LSB.

**Keywords** : CMOS image sensor, successive approximation ADC, Correlated double sampling, Fixed pattern noise, ADC offset

### I. 서론

최근 고속 고해상도 카메라에는 열 병렬 analog-to-digital converter (ADC)를 내장한 CMOS 이미지 센서 (CIS)가 널리 사용되고 있다 [1-2]. 그러나 이러한 CIS는 화소 출력의 초기 전압이 가지는 잡음과 화소 간 불균일 및 ADC 간 오프셋 차이에 의해 발생하는 fixed pattern noise (FPN)에 취약한 단점이 있다 [3]. 이러한 문제점들을 극복하기 위하여 일반적으로 CIS는 화소 출력의 초기 전압과 화소에 입사된 빛의 세기에 의해 생성된 신호 전압 간의 차이를 연산하는 아날로그 혹은 디지털 correlated double sampling (CDS) 방식을 사용한다 [4-8].

아날로그 CDS 방식은 화소 출력의 초기 전압과 신호 전압의 차이를 아날로그 영역에서 연산하는 아날로

**Abstract** - This paper proposes a correlated double sampling (CDS) method for small area and low power CMOS image sensor with column parallel successive approximation analog-to-digital converter (SA-ADC). The proposed CDS method not only reduces the noise of pixel reset voltage and the offset of SA-ADC, but also achieves small area and low power consumption by controlling the reference voltages connected to capacitor DAC without using any additional circuits. A test chip which has a 50 readout channel array including SA-ADCs is fabricated using a 0.18  $\mu\text{m}$  CMOS process, and each readout channel occupies 14  $\mu\text{m} \times 1116 \mu\text{m}$  and consumes 19.8  $\mu\text{W}$ . The measurement results show that

a. Corresponding author: okwon@hanyang.ac.kr

Copyright ©2015 IDEC All rights reserved.  
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

그 CDS 회로를 사용하며 아날로그 CDS 회로의 출력은 ADC에 의해 변환 된다[4-5]. 그러나 이 방식은 아날로그 CDS 회로 내 연산 증폭기로 인해 큰 전력을 소비 할 뿐만 아니라 아날로그 CDS 회로와 ADC의 오프셋이 제거 되지 않는 단점이 있다 [6].

디지털 CDS 방식은 화소 출력의 초기 전압과 신호 전압에 대한 각각의 A/D 변환 결과를 디지털 영역에서 연산하는 디지털 CDS 회로를 사용한다 [7-9]. 이 방식은 화소 출력의 초기 전압이 가지는 잡음 및 화소 간 불균일 뿐만 아니라 ADC의 오프셋 또한 제거 하는 장점을 가지나 ADC 종류에 따라 복잡한 디지털 연산을 위하여 디지털 CDS 회로에 큰 면적을 필요로 하는 단점이 있다.

CIS에 주로 사용되는 single-slope ADC (SS-ADC)의 경우 up-down 카운터를 디지털 CDS 회로로써 사용한다 [7]. Up-down 카운터는 화소 출력의 초기 전압과 신호 전압에 대한 A/D 변환 시 서로 다른 카운트 모드로 동작한다. Up-down 카운터의 단위 블록은 multiplexer (MUX)와 toggle flip-flop 만으로 구성되기 때문에 다른 ADC 구조에 비하여 SS-ADC는 디지털 CDS 회로의 복잡도가 낮은 장점을 가지나 A/D 변환 시 많은 수의 클럭 사이클을 요구하기 때문에 고속 A/D 변환이 어렵다.

SS-ADC가 가지는 문제를 극복하기 위하여 successive approximation ADC (SA-ADC)가 연구되었다 [8-9]. SA-ADC는 최상위 비트부터 최하위 비트까지 클럭 사이클 당 1-비트 씩 순차적으로 분해하기 때문에 짧은 시간에 A/D 변환이 가능하다. 그러나 SA-ADC의 디지털 CDS 회로는 순차적으로 출력되는 A/D 변환 결과를 연산하기 위해 carry/borrow 비트 연산 및 매 클럭 사이클마다 1-비트 씩 연산 결과를 이동하는 기능이 필요하다. 이로 인해 SA-ADC는 복잡한 디지털 CDS 회로를 요구함에 따라 소비 전력 및 면적이 증가한다. [8]. 이러한 문제를 해결하기 위해 리드아웃 채널마다 디지털 CDS 회로를 내장하지 않고 화소 출력의 초기 전압과 신호 전압의 A/D 변환 결과만을 저장 한 후 리드아웃 회로 외부에서 디지털 CDS 연산을 수행하는 방식이 개발되었다 [9]. 그러나 이 방식의 경우 A/D 변환 결과를 저장하기 위해 많은 수의 메모리를 필요로 할 뿐만 아니라 저장된 데이터를 전달하기 위해 고속 인터페이스 회로를 필요로 하기 때문에 면적 및 소비 전력 감소 효과가 크지 않다.

본 논문에서는 열 병렬 SA-ADC를 내장한 CIS에 사

용되는 소면적 저전력 CDS 방식을 제안한다. 제안한 CDS 방식은 추가 회로 없이 SA-ADC 내의 커패시터 digital-to-analog converter (DAC)에 연결 된 기준 전압을 조절함으로써 화소 출력의 초기 전압이 가지는 잡음과 화소 간 불균일 및 ADC 오프셋을 제거한다. 본 논문의 II 장에서는 제안한 CDS 방식의 동작 원리에 대해 설명하고, III 장에서는 SA-ADC 및 제안한 CDS 방식을 내장한 테스트 칩의 주요 회로 설계 기법에 대해 설명한다. IV 장에서는 테스트 칩의 측정 결과를 정리 후 V 장에서 결론을 맺고자 한다.

## II. 제안한 CDS 방식의 동작 원리

그림 1 (a)와 (b)는 각각 제안한 CDS 방식을 사용 시 열 병렬 SA-ADC를 내장한 CIS의 블록 다이어그램과 타이밍도를 나타낸다. 화소는 포토-다이오드와 4개의 트랜지스터로 이루어진 4-T 능동 화소 구조를 가지며 각 리드아웃 채널은 N-비트 SA-ADC와 A/D 변환 결과를 저장하는 메모리로 구성된다. 화소 제어 신호,  $SX[i]$ 에 의해 선택 된  $i$  번째 행의 화소는 순차적으로 화소 제어 신호,  $RX[i]$ 와  $TX[i]$ 에 따라 초기 전압,  $V_{RST}$ 와 화소에 입사된 빛에 의해 생성 된 신호 전압,  $V_{SIG}$ 를 순차적으로 출력한다. 제안한 CDS 방식에서 SA-ADC는 화소 출력,  $PIX\_OUT[i]$ 에 대한 A/D 변환을 수행 할 뿐만 아니라 화소 출력의 초기 전압과 신호 전압의 차,  $V_{RST}-V_{SIG}$ 를 연산한다.

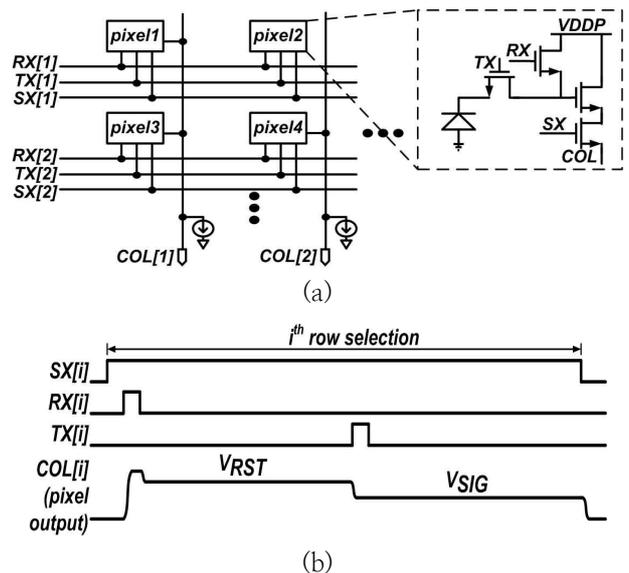


그림. 1. (a) 4-T 능동 화소를 내장한 CIS의 블록 다이어그램, (b) 화소 회로에 대한 타이밍 다이어그램.

Fig. 1. (a) Block diagram of CIS with 4-T active pixels, (b) Timing diagram of pixel circuit.

그림 2는 리드아웃 채널 내 N-비트 SA-ADC의 블록 다이어그램을 나타낸다. N-비트 SA-ADC는 CDS 연산을 위해 추가 회로를 필요로 하지 않으며 N-비트 커패시터 DAC와 비교기 및 SA-로직만으로 구성된다. 커패시터 DAC는  $V_{RST}$  혹은  $V_{SIG}$ 를 샘플링하며  $V_{OFFSET}$ 의 오프셋 전압을 가지는 비교기는 커패시터 DAC의 출력,  $V_{DAC}$ 를  $GND$ 와 비교한다. SA-로직은 비교기의 비교 결과에 따라  $+V_{REF}$  혹은  $-V_{REF}$ 의 기준 전압을 커패시터 DAC 내 각 커패시터에 순차적으로 연결한다.

그림 3은 제안한 CDS 방식의 동작 다이어그램을 나타내며  $V_{RST}-V_{SIG}$ 를 연산하는 데 있어 4 단계를 거친다. 첫 번째 단계에서 N-비트 SA-ADC는  $V_{RST}$ 를  $D_{1ST}$ 로 A/D 변환한다. 두 번째 단계에서는  $V_{SIG}$ 에서  $D_{1ST}$ 를 D/A 변환한 값,  $V_{RST}-V_{REF}+V_{OFFSET}$ 을 뺀 전압,  $V_{SIG}-V_{RST}+V_{REF}-V_{OFFSET}$ 을 연산한다. 이 때 D/A 변환 시 소비 전력 및 면적을 줄이기 위하여 추가 회로를 사용하지 않고 SA-ADC 내 N-비트 커패시터 DAC를 사용한다. 세 번째 단계에서 N-비트 SA-ADC는 앞선 두 번째 단계의 연산 결과,  $V_{SIG}-V_{RST}+V_{REF}-V_{OFFSET}$ 를  $D_{2ND}$ 로 A/D 변환 한다. 네 번째 단계에서는  $D_{2ND}$ 에 2의 보수를 취함으로써  $V_{RST}-V_{SIG}$ 에 대한 A/D 변환 결과  $D_{CDS}$ 을 얻을 수 있다.

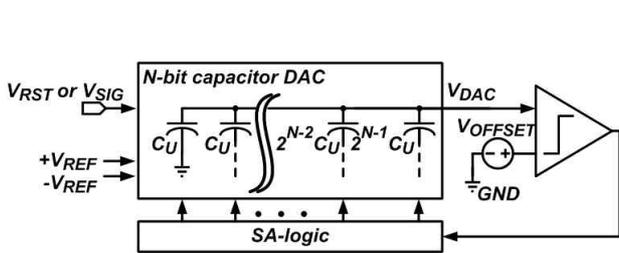


그림 2. 리드아웃 채널 내 SA-ADC의 블록 다이어그램.  
Fig. 2. N-bit SA-ADC in readout channel.

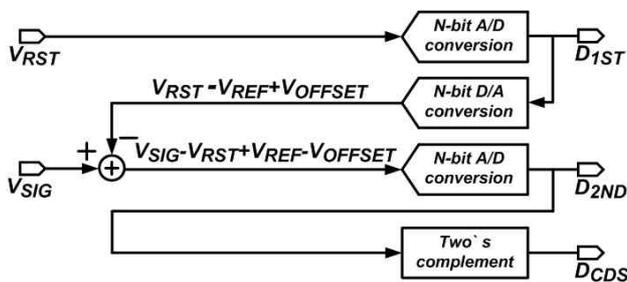


그림 3. 제안한 CDS 방식의 동작 다이어그램.  
Fig. 3. Operation diagram of proposed CDS method.

제안한 CDS 방식의 첫 번째 단계에서 N-비트 커패시터 DAC가  $V_{RST}$ 를 샘플링 함에 따라 커패시터 DAC의 출력,  $V_{DAC}$ 는  $V_{RST}$ 를 출력한다. 이후 비교기는

$V_{DAC}$ 와  $GND$ 를 비교하여 최상위 비트를 판별하며 SA-로직은 그 값에 따라 최상위 커패시터,  $2^{N-1}C_U$ 의 하판을  $+V_{REF}$  혹은  $-V_{REF}$ 에 연결한다. 이러한 동작을 최하위 커패시터,  $C_U$ 가  $+V_{REF}$  혹은  $-V_{REF}$ 에 연결될 때 까지 반복한다. 이 때  $V_{RST}$ 는 ADC의 입력 범위의 높은 레벨을 차지하기 때문에  $V_{RST}$ 에 대한 A/D 변환 결과,  $D_{1ST}$ 의 최상위 비트는 항상 “1”의 값을 가지며  $2^{N-1}C_U$ 의 하판은  $-V_{REF}$ 에 연결 된다. 또한 A/D 변환 완료 후  $V_{DAC}$ 는 비교기의 오프셋 전압,  $V_{OFFSET}$ 에 수렴 함으로  $V_{DAC}$ 는 아래 수식과 같이 표현할 수 있다.

$$V_{DAC} \approx V_{OFFSET} \approx V_{RST} - \frac{V_{REF}}{2} - \sum_{i=2}^N \left( D_{1ST}[i] \cdot \frac{V_{REF}}{2^i} \right) \quad (1)$$

여기에서  $D_{1ST}[i]$ 는 첫 번째 N-비트 A/D 변환 결과의  $i$  번째 비트에 대응되며 “1” 또는 “-1”의 값을 가진다. 그림 4(a)와 (b)는 제안한 CDS 방식의 첫 번째 단계에서 각각  $V_{RST}$  샘플링 및 이에 대한 A/D 변환 후 4-비트 커패시터 DAC의 회로도를 나타낸다.

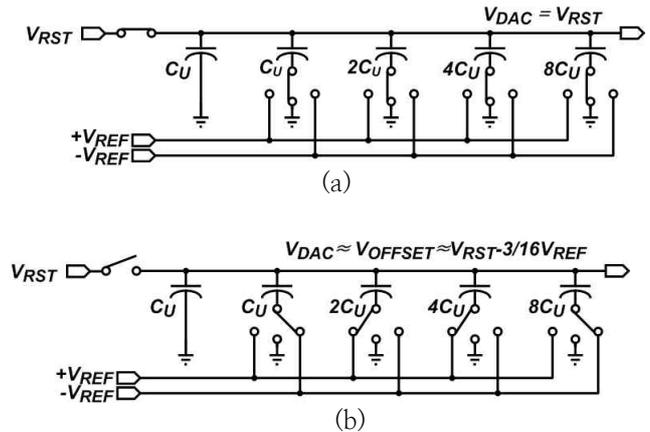


그림 4. 제안한 CDS 방식의 첫 번째 단계에서의 4-비트 커패시터 DAC 회로도, (a)  $V_{RST}$  샘플링 구간, (b) A/D 변환 구간.

Fig. 4. Schematic of the 4-bit capacitor DAC for 1st step of the proposed CDS method, (a)  $V_{RST}$  sampling phase, (b) A/D conversion phase.

$V_{RST}$ 를 샘플링 하는데 있어 그림 4(a)와 같이 모든 커패시터의 상단은 샘플링 스위치를 거쳐  $V_{RST}$ 와 연결되고 모든 커패시터의 하판은 MUX 스위치를 거쳐  $GND$ 와 연결 된다. A/D 변환 후  $D_{1ST}$ 가 “1001”

일 때 4-비트 커패시터 DAC 내  $8C_U$ ,  $4C_U$ ,  $2C_U$ , 및  $C_U$ 의 하판은 그림 4(b)와 같이 각각  $-V_{REF}$ ,  $+V_{REF}$ ,  $+V_{REF}$ , 및  $-V_{REF}$ 에 연결되고  $V_{DAC}$ 는  $V_{RST} - 3/16 V_{REF}$ 를 출력한다.

그림 5(a)와 (b)는 제안한 CDS 방식의 두 번째 단계에서 각각  $V_{SIG}$  샘플링 및  $D_{1ST}$ 에 대한 D/A 변환 시 4-비트 커패시터 DAC의 회로도를 나타낸다.  $V_{SIG}$ 를 샘플링 시 모든 커패시터의 상단은 그림 5(a)와 같이  $V_{SIG}$ 에 연결되나 각 커패시터의 하판은  $GND$ 가 아닌  $+V_{REF}$  혹은  $-V_{REF}$ 에 연결된다. 이 때  $4C_U$ ,  $2C_U$  및  $C_U$  커패시터의 하판은 그림 4(b)의  $V_{RST}$ 에 대한 A/D 변환 후 연결된 기준 전압과 반대되는  $-V_{REF}$ ,  $-V_{REF}$ , 및  $+V_{REF}$ 이 각각 연결되며  $8C_U$  커패시터의 하판은 그림 4(b)에 연결된 기준 전압과 동일한  $-V_{REF}$ 가 연결된다. 이후 D/A 변환 동작을 수행하기 위하여 그림 5(b)와 같이 모든 커패시터의 하판을  $GND$ 와 연결한다.

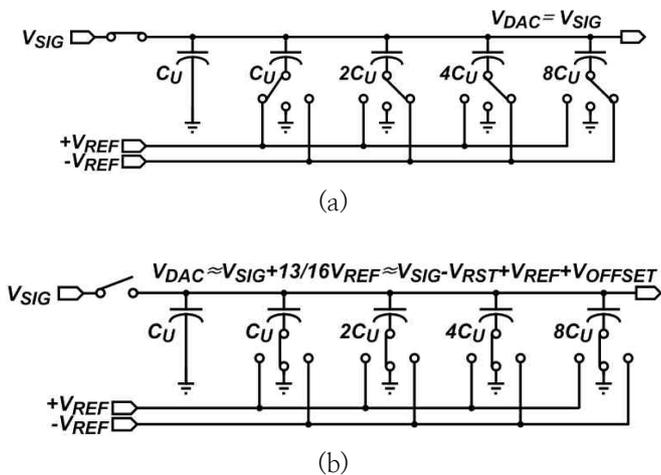


그림 5. 제안한 CDS 방식의 두 번째 단계에서의 4-비트 커패시터 DAC 회로도, (a)  $V_{SIG}$  샘플링 구간, (b) D/A 변환 구간.

Fig 5. Schematic of the 4-bit capacitor DAC for 2nd step of the proposed CDS method, (a)  $V_{RST}$  sampling phase, (b) D/A conversion phase.

이 때, 전하 공유 현상에 의해  $V_{DAC}$ 는  $V_{SIG} + 13/16 V_{REF}$ 을

출력하며 이 전압은  $V_{SIG} - V_{RST} + V_{REF} + V_{OFFSET}$ 로 표현할 수 있다. N-비트 커패시터 DAC의 경우 예로 든 4-비트 커패시터 DAC와 동일한 동작을 반복하며  $V_{DAC}$ 는 아래의 수식과 같이 표현할 수 있다.

$$V_{DAC} = V_{SIG} + \frac{V_{REF}}{2} - \sum_{i=2}^N \left( D_{1ST}[i] \cdot \frac{V_{REF}}{2^i} \right) \quad (2)$$

$$\approx V_{SIG} - V_{RST} + V_{REF} + V_{OFFSET}$$

따라서, 제안한 CDS 방식의 두 번째 단계 후 N-비트 커패시터 DAC는  $V_{RST}$ 와  $V_{SIG}$ 와의 차이뿐만 아니라  $V_{OFFSET}$ 를 포함한 전압을 출력한다. 제안한 CDS 방식의 세 번째 단계에서 N-비트 SA-ADC는 N-비트 커패시터 DAC의 출력, (2)를 첫 번째 단계에서의 동작과 동일한 방식을 사용하여 A/D 변환한다. A/D 변환 후  $V_{DAC}$ 는 아래와 같이 표현할 수 있다.

$$V_{DAC} \approx V_{OFFSET}$$

$$\approx V_{SIG} - V_{RST} + V_{REF} + V_{OFFSET} - \sum_{i=1}^N \left( D_{2ND}[i] \cdot \frac{V_{REF}}{2^i} \right) \quad (3)$$

여기서  $D_{2ND}[i]$ 는 두 번째 N-비트 A/D 변환 결과의  $i$  번째 비트에 대응되며 “1” 또는 “-1”의 값을 가진다.

제안한 CDS 방식의 네 번째 단계에서  $V_{RST} - V_{SIG}$ 를 얻기 위하여 (3)을 간략화하면 아래와 같이 표현할 수 있다.

$$V_{RST} - V_{SIG}$$

$$\approx V_{REF} - \sum_{i=1}^N \left( D_{2ND}[i] \cdot \frac{V_{REF}}{2^i} \right) \quad (4)$$

$$\approx \left[ \sum_{i=1}^N \left( \frac{V_{REF}}{2^i} \right) + \frac{V_{REF}}{2^N} \right] - \sum_{i=1}^N \left( D_{2ND}[i] \cdot \frac{V_{REF}}{2^i} \right)$$

따라서, (4)에서  $V_{OFFSET}$ 이 제거 될 뿐만 아니라  $V_{RST} - V_{SIG}$ 에 대한 A/D 변환 결과,  $D_{CDS}$ 는  $D_{2ND}$ 에 2의 보수를 취함으로써 얻을 수 있다.

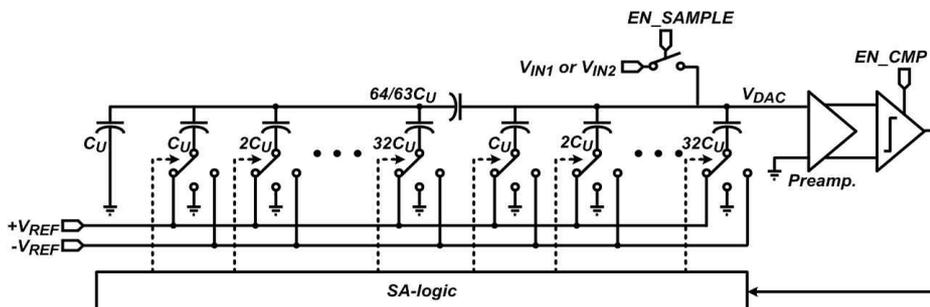


그림 6. 12-비트 SA-ADC 회로도. Fig 6. Schematic of the 12-bit SA-ADC.

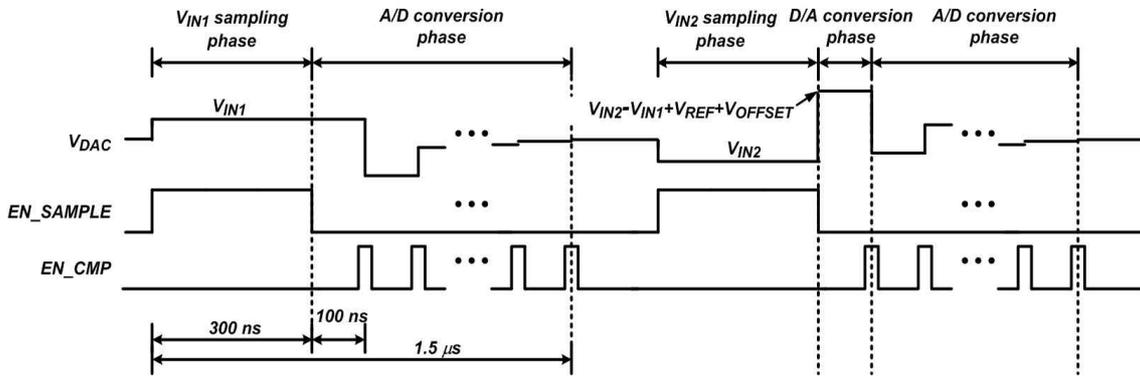


그림 7. 12-비트 SA-ADC 회로도. Fig 7. Schematic of the 12-bit SA-ADC.

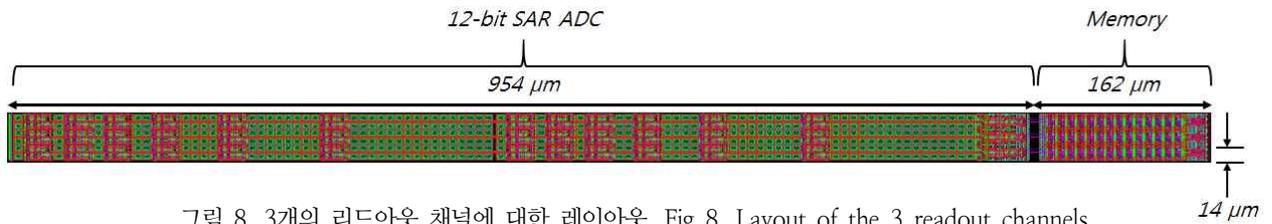


그림 8. 3개의 리드아웃 채널에 대한 레이아웃. Fig 8. Layout of the 3 readout channels.

## II. 회로 설계

그림 6은 제안한 CDS 방식을 내장한 12-비트 SA-ADC의 회로도이다. 제공받은 공정은 화소를 지원하지 않기 때문에  $V_{RST}$ 와  $V_{SIG}$  대신 SA-ADC는 외부에서 인가된 연속된 두 입력 전압,  $V_{IN1}$ 과  $V_{IN2}$ 를 A/D 변환 한다. 12-비트 커패시터 DAC는 두 개의 6-비트 커패시터 DAC로 구성된 분할-커패시터 DAC 구조를 갖는다. 커패시터 DAC 내 단위 커패시터,  $C_u$ 는 30 fF의 크기를 가지고 있으며 metal-insulator-metal (MIM) 커패시터를 사용한다.  $V_{DAC}$ 와  $GND$ 를 비교하는 비교기단은 프리앰프와 비교기로 구성된다.

그림 7은 제안한 CDS 방식에 따른 12-비트 SA-ADC의 타이밍 다이어그램이다. SA-ADC는 300 ns의 입력 전압 샘플링 시간을 가지며 이후 A/D 변환 동작 시 각 스텝 별로 100 ns를 소모한다. SA-ADC는 총 1.5  $\mu$ s의 A/D 변환 시간과 19.8  $\mu$ W의 전력을 소비한다. 제안한 CDS 방식의 첫 번째 단계에서,  $EN\_SAMPLE$ 이 high가 되면 커패시터 DAC는 샘플링 스위치를 통해  $V_{IN1}$ 을 샘플링 한다.

이후 비교기 구동 신호,  $EN\_CMP$  신호가 low에서 high로 변하는 순간 비교기는  $V_{DAC}$ 와  $GND$ 를 비교한다. SA-로직은 비교 결과에 따라  $+V_{REF}$  또는  $-V_{REF}$ 를 각 커패시터에 순차적으로 연결함으로써  $V_{IN1}$ 을 A/D 변환한다. 이후 두 번째 단계에서  $EN\_SAMPLE$

이 high가 됨에 따라 커패시터 DAC는  $V_{IN2}$ 를 샘플링 하며  $V_{IN1}$ 의 A/D 변환 결과에 대한 D/A 변환을 통해  $V_{IN2} - V_{IN1} + V_{REF} + V_{OFFSET}$ 을 출력한다. 세 번째 단계에서는 앞선 커패시터 DAC의 출력을 A/D 변환한다.

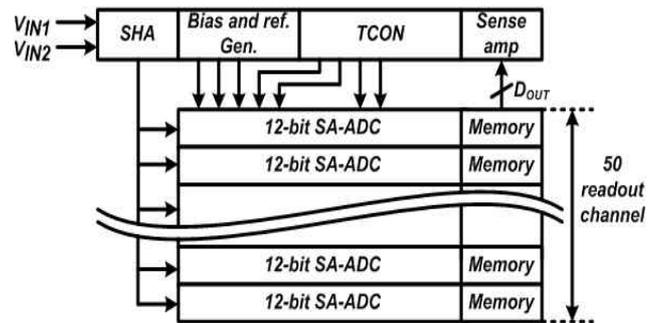


그림 9. 테스트 칩의 블록 다이어그램. Fig 9. Block diagram of test chip.

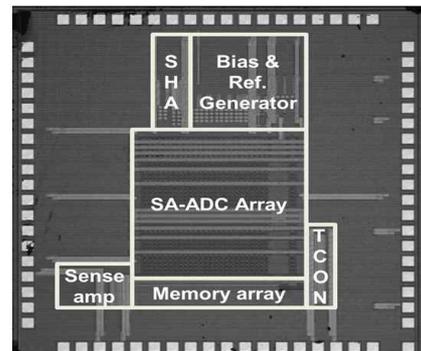


그림 10. 제작한 테스트 칩의 사진. Fig 10. Microphotograph of the fabricated test chip.

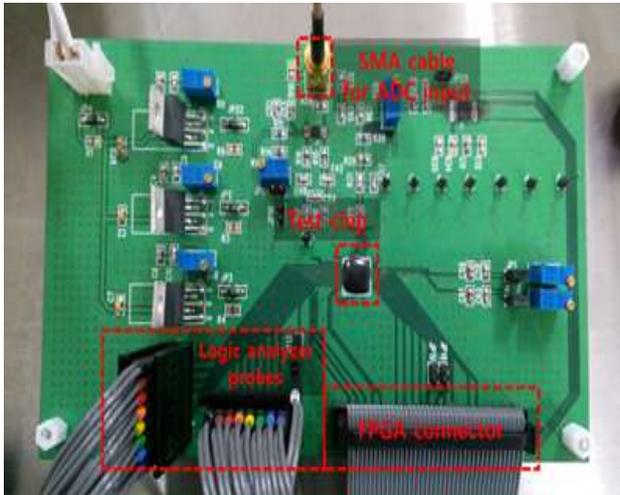


그림 11. 테스트 보드의 사진.  
Fig 11. Photograph of test board.

네 번째 단계에서  $V_{IN1}-V_{IN2}$ 에 대한 A/D 변환 결과를 얻기 위해 2의 보수 연산을 수행함에 있어  $V_{IN2}-V_{IN1}+V_{REF}+V_{OFFSET}$ 에 대한 A/D 변환 결과에 역수를 취한다. 이 때 1 LSB 오차는 모든 SA-ADC에 동일하게 발생하므로 ADC 출력 간 편차를 유발하지 않는다.

그림 8과 그림 9는 각각 12-비트 SA-ADC와 메모리로 구성된 리드아웃 채널의 레이아웃과 테스트 칩의 블록다이어그램을 나타낸다. 각 리드아웃 채널은  $14\ \mu\text{m} \times 1116\ \mu\text{m}$ 의 크기를 가지며 이 중 12-비트 SA-ADC가  $14\ \mu\text{m} \times 954\ \mu\text{m}$ , 메모리가  $14\ \mu\text{m} \times 162\ \mu\text{m}$ 의 크기를 차지한다. 테스트 칩은 50개의 리드아웃 채널을 가지며 샘플-앤-홀드 회로를 통해 모든 리드아웃 채널에 동일한 입력 전압을 인가한다. 샘플-앤-홀드 회로는 외부에서 인가된  $V_{IN1}$ 과  $V_{IN2}$ 를 순차적으로 출력하며 12-비트 SA-ADC는 제안한 CDS 방식을 통해  $V_{IN1}-V_{IN2}$ 를 A/D 변환한다. 각 SA-ADC의 A/D 변환 결과는 메모리에 저장되며 센스앰프를 통해 리드아웃 회로 바깥으로 전달된다. 바이어스 및 기준 전압 발생기는 SA-ADC에 사용되는 바이어스 및 기준 전압들을 공급한다.

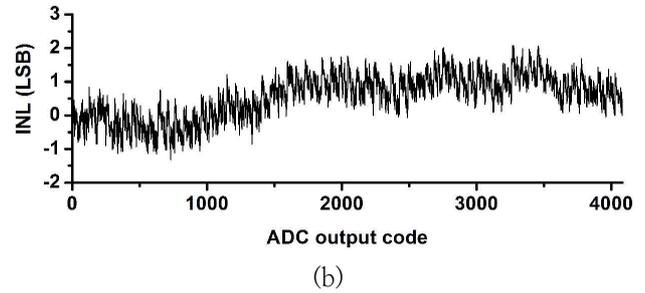
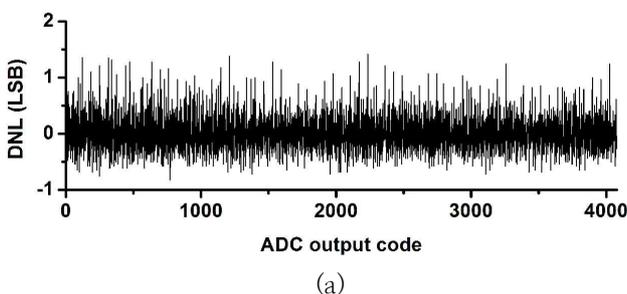


그림 12. 12-비트 SA-ADC의 선형성 측정 결과, (a) DNL, (b) INL.  
Fig 12. Measured linearity of the 12-bit SA-ADC, (a) DNL, (b) INL.

#### IV. 결과 및 고찰

그림 10과 그림 11은 각각 테스트 칩과 이를 측정하기 위한 테스트 보드의 사진들이다. 테스트 칩은  $0.18\ \mu\text{m}$  CMOS 공정을 이용해 제작되었으며  $2.2\ \text{mm} \times 2.2\ \text{mm}$ 의 크기를 가진다. Chip on board (COB)를 통해 PCB에 실장된 테스트 칩은 ADC의 선형성 및 동적 성능들을 측정하기 위하여 SubMiniature version A (SMA) 커넥터를 통해 사인파 입력 신호를 공급받는다. 외부의 field programmable gate array (FPGA)는 테스트 칩의 제어 신호를 공급하며 logic analyzer는 테스트 칩의 출력을 전달 받아 저장하는 역할을 한다.

그림 12와 그림 13은 각각 12-비트 SA-ADC의 선형성과 고속 푸리에 변환에 대한 측정 결과이다. 측정된 12-비트 SA-ADC의 선형성은  $-0.82/+1.42$  LSB의 DNL과  $-1.31/+2.08$  LSB의 INL을 가진다. 이러한 ADC의 선형성 오차는  $14\ \mu\text{m}$ 의 좁은 너비 안에 SA-ADC를 내장하는 데 있어 신호선의 복잡도 증가로 인한 각 커패시터 간 부정합으로 인해 발생하였다. 또한 제안한 CDS 방식에서 SA-ADC는 입력 신호를 캐퍼시터 DAC에 샘플링하는 데 있어 top plate sampling 방식을 사용하며 이로 인해 입력 신호의 크기에 따라 서로 다른 크기의 charge injection error가 발생하였다.

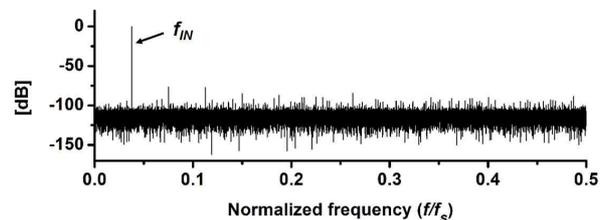


그림 13. 12-비트 SA-ADC의 고속 푸리에 변환 그래프 ( $f_{IN}=12.49\ \text{kHz}$ ,  $f_s=333\ \text{kHz}$ )  
Fig 13. FFT plot of the 12-bit SA-ADC ( $f_{IN}=12.49\ \text{kHz}$ ,  $f_s=333\ \text{kHz}$ )

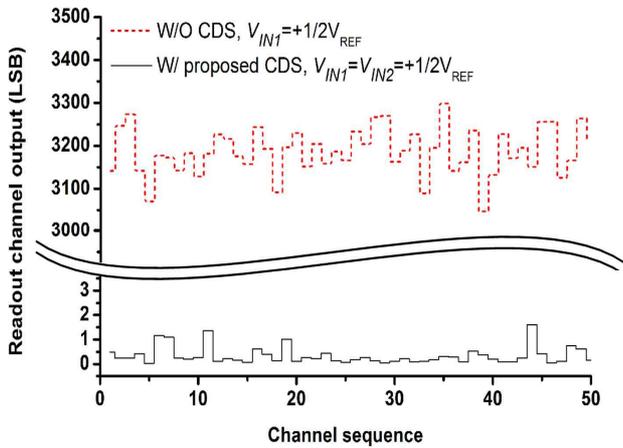


그림 14. 제안한 CDS 방식 사용 유무에 12-비트 SA-ADC 출력  
 Fig 14. Outputs of the 12-bit SA-ADC with and without the proposed CDS method

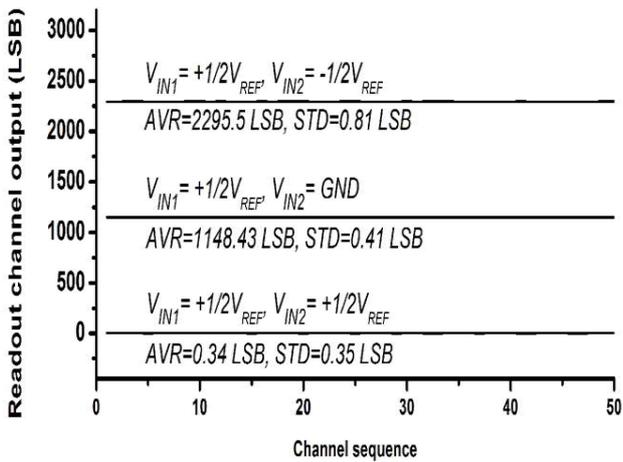


그림 15. 제안한 CDS 방식 사용 시 VIN1-VIN2의 차에 따른 12-비트 SA-ADC 출력.  
 Fig 15. Outputs of the 12-bit SA-ADC with the proposed CDS method according to VIN1-VIN2

이는 ADC의 DNL과 INL의 비대칭 및 FPN을 유발한다. 12-비트 SA-ADC에 12.5 kHz의 사인파 입력 시 측정된 SNDR와 SNR은 각각 64.7 dB와 65.4 dB이며 이를 ENOB로 변환 시 10.5-비트의 성능을 나타낸다.

그림 14는 제안한 CDS 방식을 사용 시와 사용하지 않을 시 리드아웃 채널 순서에 따른 50개 SA-ADC의 출력이다. 제안한 CDS 방식을 사용하지 않을 시 모든 SA-ADC가  $+1/2V_{REF}$ 의  $V_{IN1}$ 을 A/D 변환할 경우, SA-ADC 출력은 3186.8 LSB의 평균값과 54.64 LSB의 큰 편차를 가진다. 반면에 제안한 CDS 방식을 사용 시 모든 SA-ADC가  $+1/2V_{REF}$ 의 동일한 크기를 가지는 연속된 두 입력 전압,  $V_{IN1}$ 과  $V_{IN2}$ 를 순차적으로 분해 할 경우, CDS 연산에 의해 SA-ADC 출력은

0.34 LSB의 평균값과 0.35 LSB의 적은 편차를 가진다. 그림 15는 제안한 CDS 방식을 사용 시 연속된 두 입력 전압의 차,  $V_{IN1}-V_{IN2}$ 가  $GND$ ,  $+1/2V_{REF}$ , 및  $V_{REF}$  일 경우 측정된 리드아웃 채널 순서에 따른 SA-ADC의 출력을 나타낸다.  $V_{IN1}-V_{IN2}$ 의 차가  $+1/2V_{REF}$  씩 증가할 경우 SA-ADC의 출력은 1148.09 LSB와 1147.07 LSB의 거의 동일한 간격을 가진다. 두 간격 간의 1.02 LSB 차이는 ADC의 선형성 오차에 의한 것이다. 추가적으로, ADC 간 출력 편차는  $V_{IN1}-V_{IN2}$ 에 관계없이 1 LSB이하의 값을 가진다.

표 1. 제안한 CDS 방식과 기존 방식과의 비교  
 Table 1. Performance comparison with the proposed and previous CDS methods

	[6]	[8]	This work
Process	0.18 $\mu m$	0.18 $\mu m$	0.18 $\mu m$
Supply (V)	3.3/1.8	3.3/1.8	1.8
Resolution (bit)	10	12	12
CDS architecture	Analog CDS	Digital CDS	Proposed CDS
Required circuit for CDS	Sampling capacitor	Column processor	None
ADC offset cancelling	Not possible	Possible	Possible
Pixel noise cancelling	Possible	Possible	Possible
Column FPN	2.7 LSB	0.65 LSB	0.35 LSB*

\*: 테스트 칩의 column FPN은 dark condition을 고려하여  $V_{IN1}$ 과  $V_{IN2}$ 가 같을 경우의 값을 측정 함

\*: By considering dark condition, column FPN of test chip is measured when  $V_{IN1}$  and  $V_{IN2}$  are the same.

표 1은 SA-ADC에 적용된 기존 방식과 제안한 CDS 방식을 비교한 것이다. 추가 커패시터를 사용하여  $V_{RST}$ 를 비교기의 한 쪽 입력단에 저장하는 기존의 아날로그 CDS 방식의 경우 SA-ADC의 오프셋이 제거되지 않아 큰 FPN을 가진다 [6]. 디지털 CDS 방식의 경우  $V_{RST}$ 의 잡음 및 SA-ADC의 오프셋을 제거 가능하나 리드아웃 채널 마다 복잡한 디지털 연산 회로를 필요로 한다 [8]. 반면, 제안한 CDS 방식의 경우 추가 회로 없이 CDS 기능을 SA-ADC에 내장함에 따라 소비 전력 및 면적을 줄일 수 있다.

## V. 결론

본 논문에서는 CIS 내 화소의 초기 전압이 가지는 잡음과 SA-ADC의 오프셋을 제거하기 위해 CDS 방식을 제안한다. 소비 전력 및 면적을 줄이기 위하여 제안한 CDS 방식은 추가 회로를 사용하지 않고 SA-ADC 내 커패시터 DAC의 각 커패시터에 연결되는 기준 전압을 조절한다. 테스트 칩은 0.18  $\mu\text{m}$  CMOS 공정을 사용하여 제작되었으며 SA-ADC 및 메모리를 포함한 리드아웃 채널은 14  $\mu\text{m}$   $\times$  1116  $\mu\text{m}$ 의 면적을 차지한다. SA-ADC는 1.5  $\mu\text{s}$ 의 A/D 변환 시간을 가지며 19.8  $\mu\text{W}$ 의 전력을 소비한다. SA-ADC의 선형성을 측정한 결과  $-0.82/+1.42$  LSB의 DNL과  $-1.31/+2.08$  LSB의 INL을 가진다. 또한 12.5 kHz의 사인파 입력 시 64.7 dB의 SNDR과 65.4 dB의 SNR을 가진다. 제안한 CDS 방식을 이용 시 SA-ADC는 두 연속된 입력 간의 차이를 출력할 뿐만 아니라 SA-ADC 출력 간 편차는 54.64 LSB에서 0.35 LSB로 감소한다. 따라서 제안한 CDS 방식은 열 병렬 SA-ADC를 사용하는 CIS에 적합하다.

## 참고 문헌

- [1] D. G. Chen, F. Tang, and A. Bermak, "A Low-Power Pilot-DAC Based Column Parallel 8b SAR ADC With Forward Error Correction for CMOS Image Sensors," *IEEE Trans. Circuits Syst. I: Reg. Papers*, vol. 60, no. 10, pp. 2572–2583, Oct. 2013.
- [2] M.-S. Shin, J.-B. Kim, M.-K. Kim, Y.-R. Jo, and O.-K. Kwon, "A 1.92-Megapixel CMOS Image Sensor with Column-Parallel Low-Power and Area-Efficient SA-ADCs," *IEEE Trans. Electron Devices*, vol. 59, no. 6, pp. 1693–1700, Jun. 2012.
- [3] N. Kawai, and S. Kawahito, "Noise Analysis of High-Gain, Low-Noise Column Readout Circuits for CMOS Image Sensors," *IEEE Trans. Electron Devices*, vol. 51, no. 2, pp. 185–194, Feb. 2004.
- [4] K. Kitamura, T. Watabe, T. Sawamoto, T. Kosugi, T. Akahori, T. Iida, K. Isobe, T. Watanabe, H. Shimamoto, H. Ohtake, S. Aoyama, S. Kawahito, and N. Egami, "A 33-Megapixel 120-Frames-Per-Second 2.5-Watt CMOS Image Sensor With Column-Parallel Two-Stage Cyclic Analog-to-Digital Converters," *IEEE Trans. Electron*

*Devices*, vol. 59, no. 12, pp. 3426–2433, Dec. 2012.

- [5] M.-W. Seo, T. Sawamoto, T. Akahori, Z. Liu, T. Iida, T. Takasawa, T. Kosugi, T. Watanabe, K. Isobe, and S. Kawahito, "A Low-Noise High-Dynamic-Range 17-b 1.3-Megapixel 30-fps CMOS Image Sensor With Column-Parallel Two-Stage Folding-Integration/Cyclic ADC," *IEEE Trans. Electron Devices*, vol. 59, no. 12, pp. 3396–3400, Jun. 2012.
- [6] A. I. Krymski, N. E. Bock, N. Tu, D. V. Blerkom, and E. R. Fossum, "A High-Speed, 240-Frames/s, 4.1-Mpixel CMOS Sensor," *IEEE Trans. Electron Devices*, vol. 50, no. 1, pp. 130–135, Jan. 2003.
- [7] S. Yoshihara, Y. Nitta, M. Kikuchi, K. Koseki, Y. Ito, Y. Inada, S. Kuramochi, H. Wakabayashi, M. Okano, H. Kuriyama, J. Inutsuka, A. Tajima, T. Nakajima, Y. Kudoh, F. Koga, Y. Kasagi, S. Watanabe, and T. Nomoto, "A 1/1.8-inch 6.4 MPixel 60 frames/s CMOS Image Sensor With Seamless Mode Change," *IEEE J. Solid-State Circuits*, vol. 45, no. 4, pp. 2998–3006, Dec. 2006.
- [8] S. Matsuo, T. J. Bales, M. Shoda, S. Osawa, K. Kawamura, A. Andersson, M. Haque, H. Honda, B. Almond, Y. Mo, J. Gleason, T. Chow, and I. Takayanagi, "8.9-Megapixel Video Image Sensor With 14-b Column-Parallel SA-ADC," *IEEE Trans. Electron Devices*, vol. 56, no. 11, pp. 2380–2389, Nov. 2009.
- [9] H. Honda, S. Osawa, M. Shoda, E. Pages, T. Sato, N. Karasawa, B. Lechner, J. Schoper, E. S. Gattuso, D. Pates, J. Brooks, S. Johnson, I. Takayanagi, "A 1-inch Optical Format, 14.2M-pixel, 80fps CMOS Image Sensor with a Pipelined Pixel Reset and Readout Operation," *IEEE Symp. VLSI Circuits*, pp. C4–C5, 2013.



김민규

2008년 한양대학교 전자공학과  
학사 졸업.

2008년 ~ 현재 한양대학교 전자공  
학과 석박사통합과정  
<주관심분야 : CMOS 이미지 센  
서 설계, 데이터 변환기 설계>



구 자 승

1997년 고려대학교 전자공학과  
학사 졸업.  
1999년 고려대학교 전자공학과  
석사 졸업.  
1999년 ~ 현재 (주)SK하이닉스  
Image 개발 그룹  
수석연구원.

<주관심분야 : DRAM 설계,  
설계, 데이터 변환기 설계, 고속 인터페이스 회로 설계>

CMOS 이미지 센서



유 상 동

1988년 한양대학교 전자공학과  
학사 졸업.  
1990년 한양대학교 전자공학과  
석사 졸업.  
1998년 한양대학교 전자공학과  
박사 졸업.  
2000년 ~ 현재 (주)SK하이닉스  
Image 개발 그룹 상무.

<주관심분야 : DRAM 설계, CMOS 이미지 센서 설  
계, 데이터 변환기 설계>



홍 성 관

1980년 한양대학교 전자공학과  
학사 졸업.  
1985년 조지아 공과대학교  
전자공학과 석사 졸업.  
1994년 조지아 공과대학교  
전자공학과 박사 졸업.  
1990년 ~ 1995년 (주)케이던스 디자인  
시스템즈 연구원.

1995년 ~ 1998년 (주)LG 반도체 연구위원.  
1999년 ~ 2008년 (주)SK하이닉스 정보담당 상무.  
2009년 ~ 2013년 연세대학교 전자공학과 석좌교수.  
2013년 ~ 현재 한양대학교 전자공학과 연구교수.  
<주관심분야 : 반도체 설계 자동화 (EDA), 혼성 신호 집  
적 회로 설계, 자동차용 집적 회로 설계>



권 오 경

1978년 한양대학교 전자공학과  
학사 졸업.  
1986년 스탠포드 대학교  
전자공학과 석사 졸업.  
1988년 스탠포드 대학교  
전자공학과 박사 졸업.  
1987년 ~ 1992년 (주)텍사스 인스트루  
먼트 책임 연구원.

1992년 ~ 현재 한양대학교 전자공학과 교수.  
<주관심분야 : 고속 인터페이스 회로 설계, 전력 관리  
집적 회로 설계, 혼성 신호 집적 회로 설계, 바이오-메  
디컬용 아날로그 집적 회로 설계, 평판 디스플레이 구동  
회로 설계>