

캐패시터 에러가 보상된 13-b SAR ADC

(Capacitor Error Compensated 13-b SAR ADC)

박범진¹, 하현수², 심재윤^{1,a}

¹포항공과대학교 전자전기공학과

²Holst Centre, imec, Netherlands

Bum-Jin Park¹, Hyun-Soo Ha² and Jae-Yoon Sim¹

¹Department of Electrical Engineering, POSTECH

²Holst Centre, imec, Netherlands

E-mail : jysim@postech.ac.kr

요약 - 본 논문에서는 극소전력 센서를 위한 13-b successive approximation register(SAR) 아날로그 디지털 변환기(ADC)에 대하여 다룬다. 디지털 아날로그 변환기의 두 개의 동일한 캐패시터 뱅크의 role-swapping을 통하여 캐패시터 에러를 보정할 수 있다. 제안된 ADC는 0.13 μ m standard CMOS 공정으로 제작되었다. 0.5V의 공급 전압을 사용하였고, 변환 범위는 rail-to-rail, 40kS/s의 샘플링 레이트에서 1.47 μ W의 전력을 소모한다. Figure-of-Merit(FOM)은 17.9 fJ/conversion-step이며 ENOB는 11-b 이다.

Abstract - A 13-b successive approximation analog-to-digital converter (ADC) is presented for ultra-low-power sensor interface. Capacitor error compensation is achieved by swapping the roles of two identical capacitor banks in DAC. The ADC is implemented in a standard 0.13- μ m CMOS. With a single supply voltage of 0.5 V and a rail-to-rail conversion range, ADC

dissipates 1.47 μ W at a sampling rate of 40 kS/s. It shows an FoM of 17.9 fJ/conversion-step with ENOB of 11.0-b.

I. 서론

최근 대두되고 있는 무선 센서 네트워크, 휴대용 진단 장비, 생체정보 인증방식, 에너지 하베스팅 시스템과 같은 low-power application들은 전력 소모가 매우 작은 System-on-Chip(SoC) device를 필요로 한다^[1]. 이러한 low-power application들이 아날로그 값을 디지털 값으로 변환할 때 SAR ADC가 주로 사용된다. SAR ADC는 비교기, 캐패시터 DAC, 디지털 블락으로 이루어져 있고 아날로그 회로 블락을 줄여서 DC 전력 소모값을 최소화한다^[1-4]. 따라서, SA ADC의 공급 전압을 줄이면 샘플링 속도는 감소하지만 전체 전력 소모를 줄일 수 있다.

최근까지 구현되었던 SAR ADC들은 한 변환 단계 당 에너지 사용이 10fJ이하가 될 정도로 발전하였다. 하지만 대부분의 ADC들의 ENOB는 높지 않은 값

a. Corresponding author; jysim@postech.ac.kr

(8-b에서 10-b)에 머물러 있었다^[5-6]. ENOB가 11-b 이상이 되면, SAR 구조의 에너지 효율은 파이프라인이나 델타시그마 구조의 에너지 효율과 비슷해져, SAR ADC만의 장점이 사라진다. SAR ADC가 높은 ENOB와 해상도를 동시에 가지기 위해서는 두 가지의 문제를 해결해야 한다.

첫 번째 문제는 비교기 회로의 노이즈이다. 이 노이즈는 최대로 얻을 수 있는 ENOB값을 제한한다. 비교기의 노이즈를 줄려면 추가적으로 전력을 사용해야 하므로 에너지 효율을 저하시킨다. 전력 소모를 줄이기 위해 공급 전력을 줄이면 비교기의 노이즈가 증가하고 문제는 더 커진다. 낮은 노이즈를 구현하기 위한 연구를 통해 dynamic 비교기^[3]와 time-domain 비교기^[1, 2]가 제안되었다. 여러 개의 지연 단계^[1]를 갖는 time-domain 비교기는 전압-시간 이득을 향상시키고, 낮은 전압에서의 동작을 가능하게 한다.

두 번째 문제는 캐패시터 DAC의 부정합이 만들어내는 비선형성이다. 캐패시터 부정합을 보정하기 위해서는 많은 수의 binary-weighted 캐패시터가 필요하고 복잡하기 때문에 관련 연구는 거의 이뤄지지 않았다. 보통 이러한 문제를 해결하기 위해 split-캐패시터 DAC의 gain calibration^[7, 8], parasitic-캐패시터나 캐패시터 부정합의 digital-based calibration^[9], 그리고 software-based background calibration^[10]을 이용하였다. 하지만 위의 방법들은 많은 전력을 소모하기 때문에 저전력 센서 어플리케이션에 적합하지 않다.

본 논문에서는 극소전력 센서 인터페이스에 적합한 13-b의 SAR ADC에 대하여 제안하였다. 낮은 전압에서의 동작을 위해 time-domain 비교기^[1]를 이용하였다. 그리고 캐패시터 부정합 보상을 위해 1-b의 포스트 프로세싱을 수행하였다. 제안된 ADC는

0.13 μ m standard CMOS공정으로 제작되었고, FoM은 17.9fJ/conv.-s이며, 하나의 0.5V 공급 전력으로 1.47 μ W의 전력을 소모하였다.

II. 본 론

제안하고 있는 캐패시터 에러 보상 방법(그림 1)은 DAC의 두 개의 동일한 캐패시터 뱅크의 role-swapping을 통해 이뤄진다. 우선 D6의 캐패시터를 하나의 64C 캐패시터 대신에, binary-weighted 캐패시터 배열로 나누어 구성한다. 그리고 나뉜 캐패시터들은 role-swapping을 할 수 있도록 LSB들(D5에서 D0까지)이 있는 캐패시터들과 1:1로 대응시킨다. 그 예로, MSB가 변하는 부분에서(예를 들면 011111과 100000) 두 캐패시터 뱅크의 나머지 bit들은 완벽히 반대로 나타난다. 일반적인 SAR 변환 과정에서 위쪽의 캐패시터 뱅크는 MSB(D6)를 위한 캐패시터로 동작하고, 아래쪽의 캐패시터 뱅크는 LSB들(D5에서 D0까지)을 위한 캐패시터로 동작한다(그림 1). 데이터 변환이 완료되면, 에러 측정을 위해 두 개의 캐패시터 뱅크의 role-swapping이 일어난다. 만약 각각의 대응되는 캐패시터들의 값이 같다면, role-swapping이 일어나도 DAC의 출력 전압값은 변하지 않을 것이다. 그러나, 캐패시터들 사이에 부정합이 존재한다면 DAC 출력 전압이 변하게 될 것이다. 이러한 전압 변화의 정도는 DAC 출력 전압을 만드는데 기여한 캐패시터들의 부정합이 클수록 증가한다.

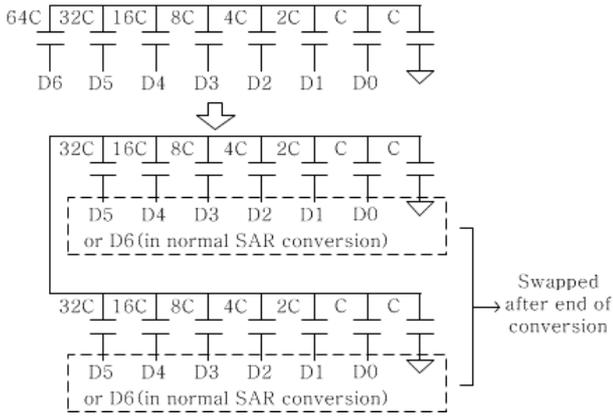


그림 1. 캐패시터 에러 측정을 위한 캐패시터 DAC 구조
 Fig. 1. Conceptual illustration of capacitor DAC of the proposed capacitor error measurement

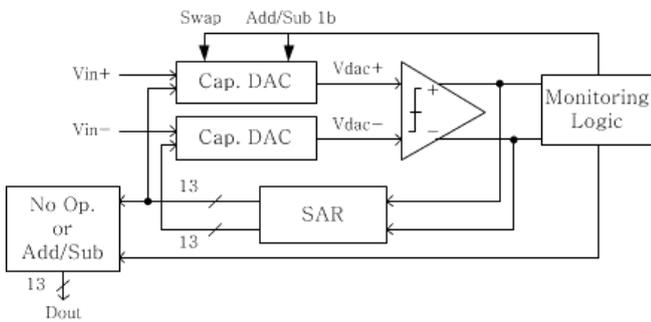


그림 2. 제안하는 ADC의 block diagram
 Fig. 2. Block diagram of proposed ADC

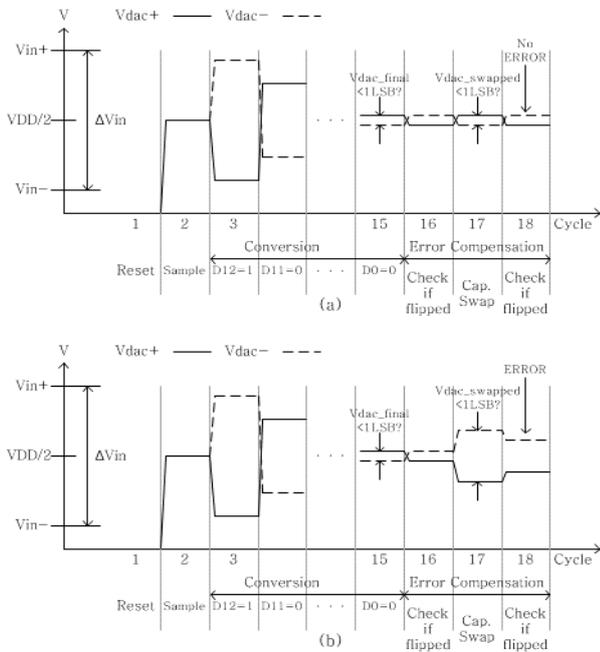
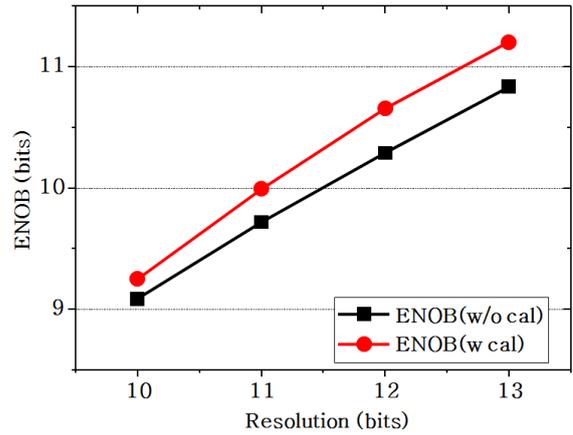
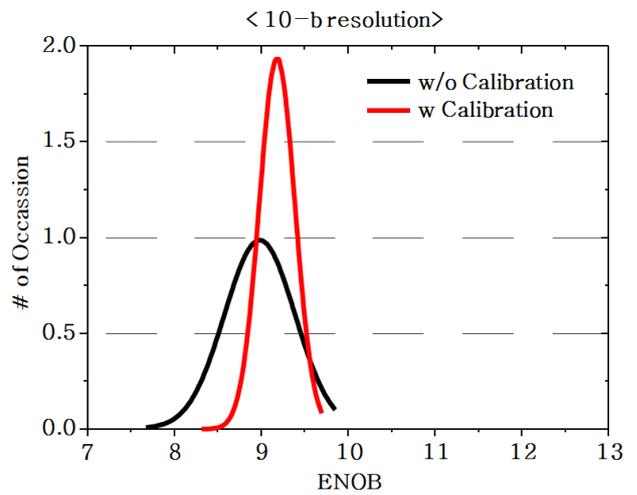


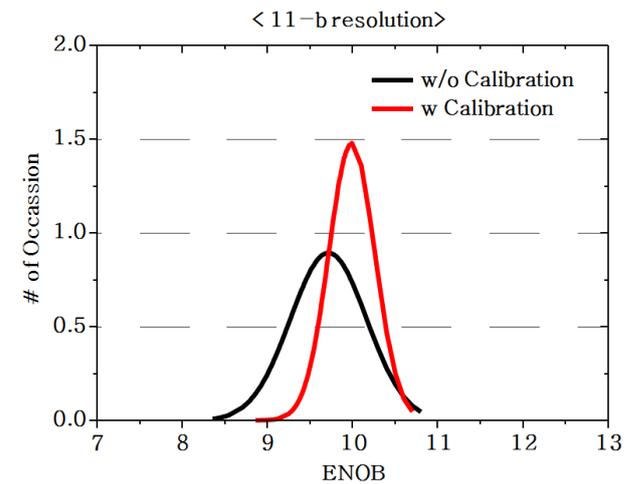
그림 3. DAC의 부정합이 없을 때(a)와 있을 때(b)의 timing diagram
 Fig. 3. Timing diagrams without (a) and with (b) mismatch in DAC



(a)



(b)



(c)

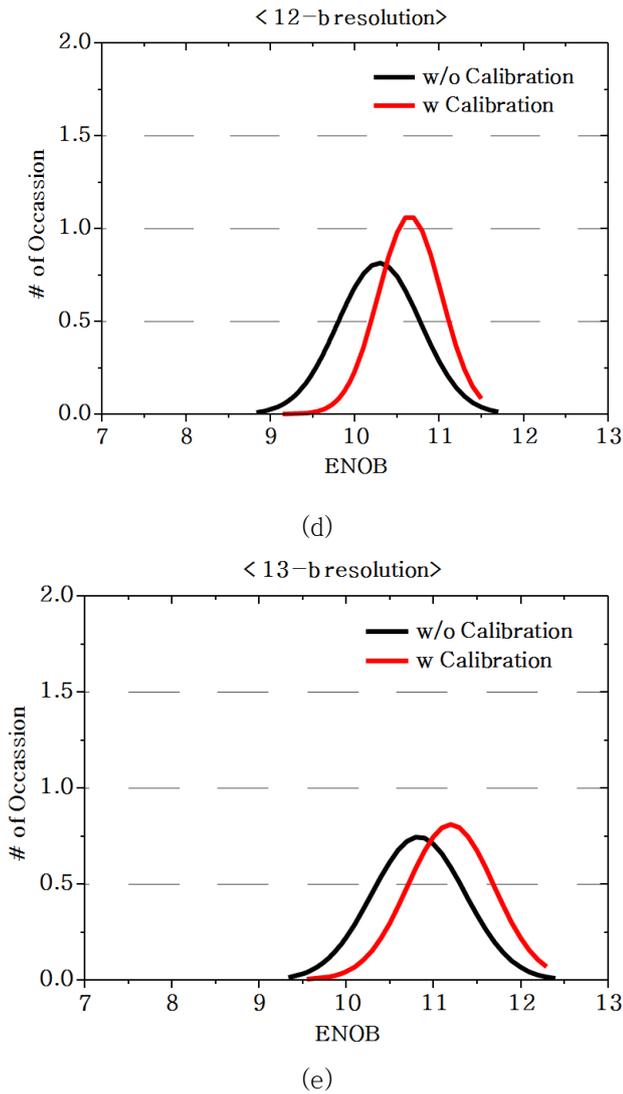


그림 4. 여러 해상도에서 캐패시터 DAC에 임의로 부정합을 주었을 때 계산된 ENOB (a)와 각 ENOB의 통계적 분포 (b), (c), (d), (e)

Fig. 4. Simulated ENOB with random mismatches in capacitor DAC for different resolution of ADC (a) and statistical distribution of ENOB (b), (c), (d), (e)

설계된 13-b SAR ADC(그림 2)는 완전 차동형 캐패시터 DAC, time-domain 비교기, synchronous SAR logic, 그리고 캐패시터 에러 보상 블락으로 구성되어있다. 데이터 변환은 18개의 클락 주기 동안 진행된다(그림 3). 첫 번째 주기에는 리셋이 이뤄지고 DAC의 모든 노드의 전압을 초기화한다. 두 번째 주기에는 차동 입력 전압이 인가되고 두 DAC의 출력 전압이 입력공통모드 전압, 즉 공급 전력의 반으

로 맞추어진다. 그리고 본격적인 데이터 변환이 다음 13번의 클락 주기 동안 수행된다. 데이터 변환 과정을 거치면서 두 DAC의 출력이 점차 공급 전압의 반으로 수렴된다. 그 다음으로 세 번의 클락 주기를 거치면서 캐패시터 에러 측정과 보상이 이뤄진다.

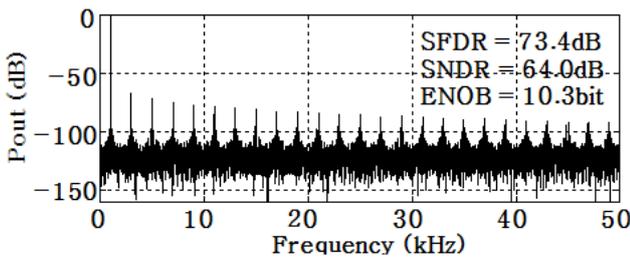
캐패시터 에러 보상의 첫 번째 클락 주기 동안에는 이론적으로 같아야 하는 두 DAC 출력의 측정 전압의 차이가 1LSB보다 작은지 체크한다. 이 첫 주기 동안 결정되는 D0에 따라 DAC 출력에서 추가적으로 1LSB만큼이 빠지거나 더해진다. 그 결과 DAC의 두 개의 차동 출력간의 flip-over가 발생한다. Flip-over는 보상이 이뤄지기 전에 두 DAC의 출력 전압의 차이가 1LSB 미만이 된다는 것을 의미한다. 두 전압의 차이가 1LSB 보다 작다는 것은 다음 주기에 일어날 role-swapping전에 DAC의 두 출력이 1LSB의 오차 이내에서 충분히 같아졌다는 것을 보장한다.

한 가지 주의해야 할 점은, DAC의 캐패시터 부정합의 정도가 role-swapping이 일어나기 전에 충분히 작아야 한다는 것이다. 하지만 때때로 캐패시터 에러나 데이터 변환 도중에 생기는 비교기 노이즈에 의해 DAC의 두 출력 전압의 차이가 1LSB보다 클 때가 있다^[11]. 만약 첫 번째 클락 주기에서 flip-over가 발생하지 않는다면, 에러 측정 및 보상 과정을 거쳐도 잘못된 출력이 나올 수 있다. 본 논문에서는 flip-over가 일어나지 않았을 때의 에러 보상은 다루지 않았다.

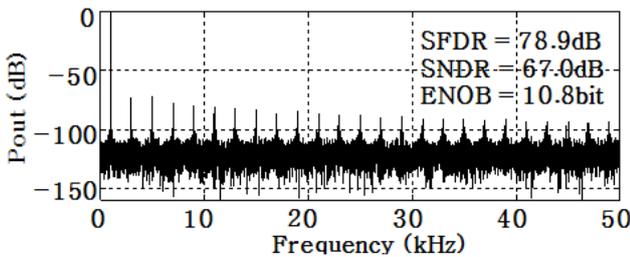
다음 주기에는 캐패시터 role-swapping을 통해 에러의 크기를 측정한다. 이전 단계에서 1LSB의 변화를 통해 전압 값을 재설정하고 난 후, 캐패시터의 role-swapping을 수행하였다. 이 단계에서는 캐패시터의 role-swapping을 한 후, 첫 번째 단계에서 사용한 방법과 똑같이 DAC 두 출력의 전압 차이를 측정한다. 그 차이가 1LSB보다 크다는 것은 캐패시터

부정합의 정도가 1-b보다 크다는 것을 의미한다. 마지막으로, 측정된 부정합의 정도를 바탕으로 출력되는 디지털 코드에서 1-b를 더하거나 빼주면서 에러 보상을 수행한다.

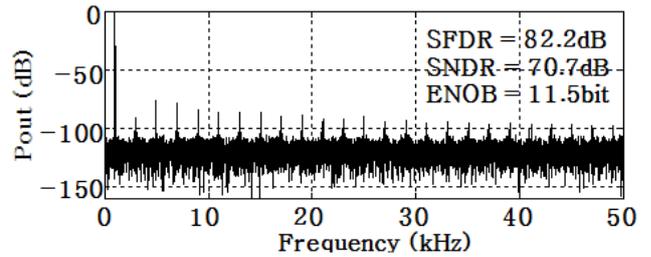
보상 프로세스는 캐패시터 DAC의 부정합의 존재 유무에 따라 실행된다. SAR 동작이 끝난 후, role-swapping이 이뤄지기 전에 DAC의 두 출력의 차이가 1LSB보다 작은지 확인하였다. Role-swapping을 수행한 후, 캐패시터 부정합에 대한 정보를 포함한 값이 DAC의 출력 전압에 나타난다. 만약에 부정합이 존재하지 않거나 그 크기가 1LSB보다 작다면 추가적인 1LSB의 덧셈, 혹은 뺄셈을 통해 DAC의 두 출력이 flip-over가 될 것이다(그림 3a). 이 상황에서는 디지털 코드의 변화 없이 최종 출력을 내보낸다. 그러나 만약 부정합의 정도가 크면 role-swapping 후에 DAC의 두 출력 전압 값의 차이가 1LSB보다 커지게 된다. 이 경우 최종 출력을 내보내기 전에 모니터링 로직에서 1-b의 덧셈, 뺄셈을 통한 보상이 이뤄진다(그림 3b).



(a)



(b)



(c)

그림 5. 보상이 없을 때 (a), 1-b을 보상할 때 (b), 2-b을 보상할 때 (c) 13-b ADC의 출력 스펙트럼

Fig. 5. Simulated output spectrum of an example of 13-b ADC without (a), with 1-b (b) and extended 2-b compensation (c)

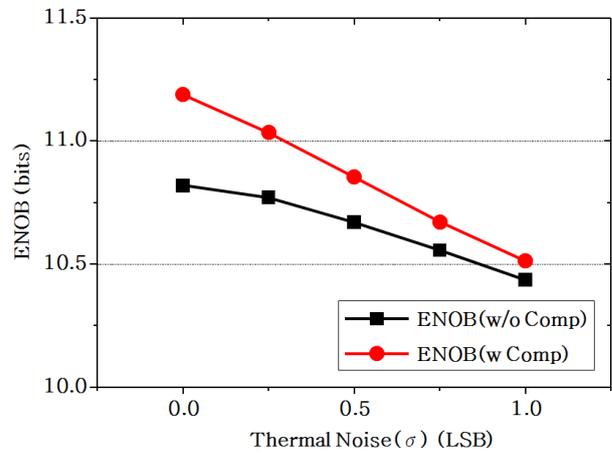


그림 6. input referred thermal noise가 존재할 때 13-b ADC의 ENOB 시뮬레이션 값

Fig. 6. Simulated ENOB of 13-b ADC with input referred thermal noise

이러한 role-swapping 테크닉은 모든 종류의 캐패시터 부정합을 해결할 수 없다. 또한 해결한다 해도 매우 비효율적일 것이다. Role-swapping 도중 MSB가 변하는 부분에서는 모든 코드의 변화가 이뤄진다. 데이터 출력이 011111일 때 D6=0, D5~D0=1이다. role-swapping이 행해지면 D5~D0은 swapping 전의 D6의 값에 해당하는 값(1에서 0으로)으로 교체되고, D6은 swapping 전의 D5~D0의 값에 해당하는 값(0에서 1로)으로 교체되므로 D6에서 D0의 모든 값들이 반대되는 값으로 변한다(data 출력이 100000일 때에도 마찬가지이다). 위와 같이

MSB들이 변하는 경계선에서 D6~D0의 값들이 모두 반전되기 때문에 각 D에 해당하는 모든 캐패시터의 부정합에 대한 정보가 포함되어 있다. 따라서 role-swapping 방법은 MSB 경계선에서 더 효율적으로 작용할 수 있다. 결과적으로 ADC의 비선형성은 MSB들이 변하는 경계선에서 중점적으로 발생하는 점과, SAR 구조의 ADC에서는 많은 캐패시터의 사용으로 모든 입력 영역에서의 보상이 불가능함을 고려하여 보상 프로세스는 MSB 변화의 경계선에 초점을 맞춰야 한다. 따라서 제안된 보상 방법은 선형성을 효율적으로 개선할 수 있다.

제안된 알고리즘의 동작을 증명하기 위해 MATLAB을 이용하여 DAC의 캐패시터의 부정합을 랜덤하게 주어 시뮬레이션을 수행하였다. 본 논문에서는 DAC의 캐패시터 부정합을 인위적으로 가우스 랜덤 함수로 분포시켰다. 10-b에서 13-b(그림 4a)의 평균 ENOB를 가지는 ADC에 대하여 각각 1000번의 시뮬레이션을 수행하였다. 이 시뮬레이션에서 비교기 노이즈는 포함하지 않았다. 부정합에 의해 생기는 비선형성은 더 큰 해상도를 요구하는 어플리케이션일수록 증가하므로, 제안된 방법은 높은 해상도의 ADC에서 더 효율적으로 작용하였다. 해상도가 10-b에서 13-b로 증가하였을 때, 제안된 보상 방법에 의한 ENOB의 증가 값은 각각 0.17-b와 0.37-b였다. 이 논문에서 제안된 보상 방법은 여러 경우의 수로 계산된 ENOB의 표준편차를 감소시켰다. 따라서 여러 칩에 따른 ENOB의 편차를 줄여줄 것으로 기대된다(그림 4b).

제안한 보상 방법은 1LSB만 보상하도록 제한되어 있지만, 2LSB까지도 보상하도록 확장될 수 있다. 예를 들면, 현재의 과정에 추가적으로 flip-over를 체크하는 과정을 넣어 2LSB를 더하거나 뺄 수 있다. 만약 flip-over가 발생하지 않는다면, 캐패시터의 부정합이 2LSB보다 크다는 것을 의미하고, 2-b를 더

하거나 빼면 된다. 이러한 과정을 위해서는 클럭 주기 하나가 더 필요하다. 이렇게 2-b로 확장하였을 때의 효율성을 보여주기 위해 MATLAB으로 13-b ADC의 경우에서 시뮬레이션을 수행하였다(그림 5). 기존에 수행했던 1-b 보상에서 ENOB는 10.3-b에서 10.8-b으로 개선되었지만(그림 5b), 2-b 보상으로 확장한 경우 ENOB가 10.3-b에서 11.5-b까지 개선되었다(그림 5c).

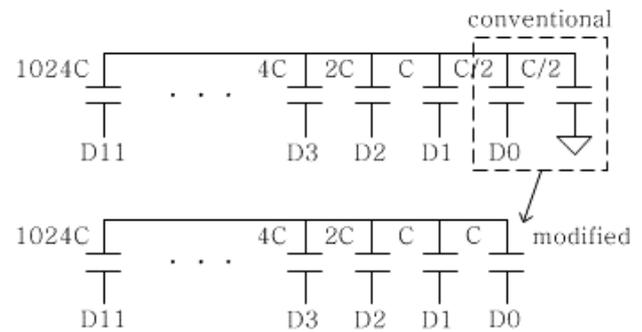


그림 7. 캐패시터 뱅크 하나의 circuit schematic
Fig. 7. Circuit schematic of one capacitor bank



그림 8. Chip 확대 사진
Fig. 8. Microphotograph

ENOB에 대한 비교기의 input referred noise의 영향을 이해하기 위해 노이즈를 임의로 주어 시뮬레이션을 수행하였다. 노이즈가 증가할수록, 제안된 보상 방법의 효과는 감소하였다(그림 6). 주어진 노이즈의 표준편차를 0.25LSB로 가정한 경우, ENOB는 0.26-b만큼 개선되었지만, 표준편차를 1LSB로 가정한 경우, ENOB는 0.07-b만큼만 개선되었다. 이와 같이, 본 논문에서 제안된 방법은 노이즈가 성공적으로 제거된 상태의 ADC에서 더 효과적으로 적용된다.

제안된 완전 차동 ADC 구조는 두 개의 DAC 이루어져 있다. 그리고 각 DAC는 role-swapping을 수행하기 위한 두 개의 캐패시터 뱅크(그림 7)로 구성된다. 각각의 bit가 비교기에서 비교를 거친 후 결정되므로, D0의 로직 상태는 D0의 결정에 관여하지 못한다. 따라서 기존에 0.5C 캐패시터 두 개로 구성됐던 구조를 묶어 하나의 C로 바꾼 다음 D0에 연결하여 최대 캐패시터 비율을 반으로 낮췄다. 이러한 C는 에러 보상 주기에서 1LSB를 더하거나 뺄 때 사용된다. D0는 에러 보상 주기가 시작되기 전 1로 맞춰진다. 두 개의 DAC 중 하나의 DAC에서 D0를 1에서 0으로 바꾸면서 1LSB를 효과적으로 더하거나 뺄 수 있다. 따라서, 13-bit의 데이터 변환은 12개의 bit들(D12에서 D1까지)을 조절하기 위한 과정과 에러 측정과 보상 주기 동안 D0를 이용해 1LSB를 바꾸는 과정을 포함한 13번의 클럭 주기를 통해 이뤄진다.

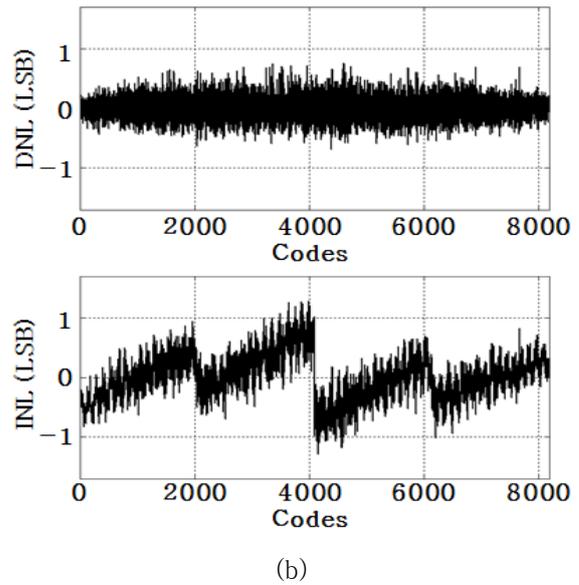
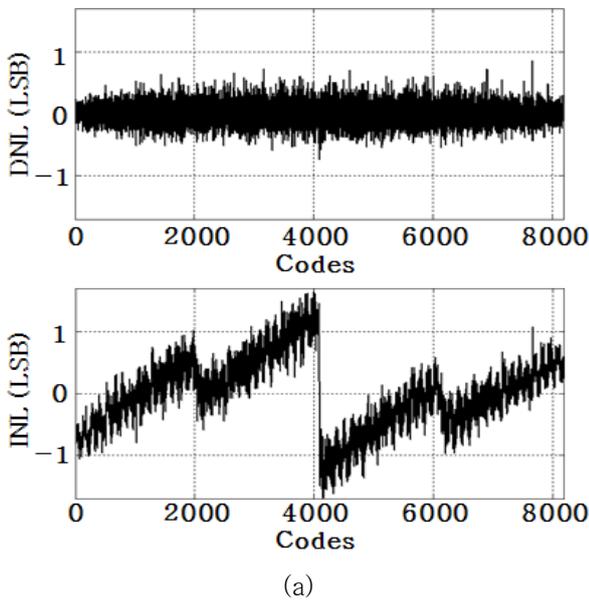


그림 9. 부정합 보상 전 (a) 과 후 (b) 의 DNL, INL 측정값
Fig. 9. Measured DNL and INL before (a) and after (b) the mismatch compensation

III. 측정

설계된 ADC는 0.13 μ m standard CMOS공정으로 제작되었다(그림 8). 캐패시터 DAC는 단위 캐패시턴스가 4fF이고 MIM구조이다. Active area는 0.901mm²이다. 하나의 0.5V 공급 전압을 쓰기 때문

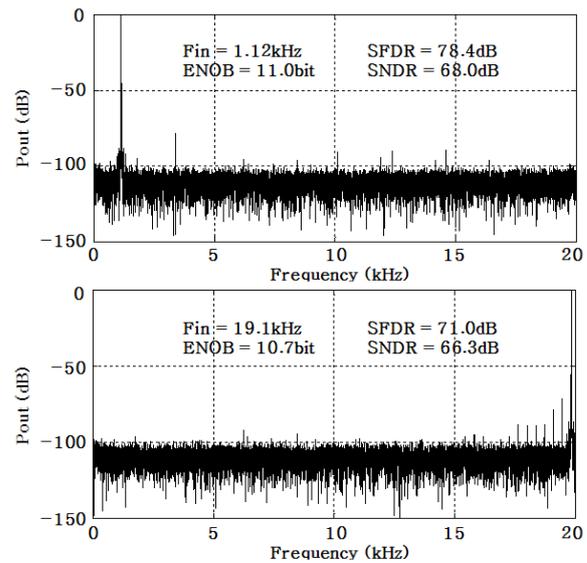


그림 10.출력 스펙트럼
Fig. 10.Output spectrums

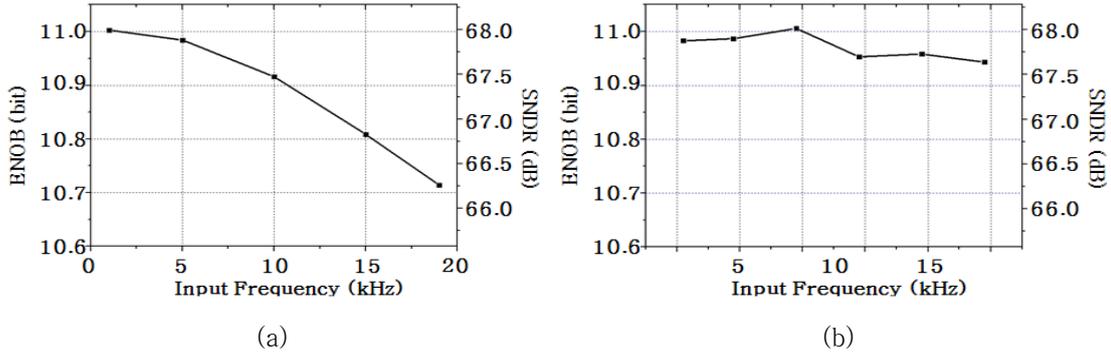


그림 11. 공급 전압이 0.5V일 때 (a) 와 0.6V일 때 (b) 의 ENOB와 SNDR

Fig. 11. ENOB and SNDR with supply of 0.5V (a) and 0.6V (b)

표1. ENOB가 11-b보다 큰 SAR ADC들의 성능 비교

Table 1. Performance comparison of SAR ADCs with ENOB≥11-b

	ISSCC 10 [10]	ISSCC 13 [12]	ISSCC 13 [13]	CICC 13 ^[14]	This work
Technology	130 nm	90nm	65nm	110nm	130nm
Supply	1.2 V	1.2 V	1.2 V	0.9 V	0.5 V
Input Range	Rail-to-rail	2.2Vpp	Rail-to-rail	N/A	Rail-to-rail
Sampling Rate	45MS/s	50MS/s	80MS/s	1MS/s	40kS/s
DNL/INL(LSB)	N/A	N/A	N/A	±0.29/0.55	±0.76/1.29
ENOBPEAK(bit)	11.1	11.5	11.9	11.1	11.0
SFDRNyquist(dB)	84.7	84	80	82	71
Power	3.0mW	4.2mW	31.1mW	24μW	1.47μW
FoM(Best result)	31.4fJ/c-s	28.7fJ/c-s	101.7fJ/c-s	11.7fJ/c-s	17.9fJ/c-s
FoM(Nyquist freq)	36.3fJ/c-s	36.1fJ/c-s	129.5fJ/c-s	11.7fJ/c-s	22.1fJ/c-s

에 샘플링 모드에서 CMOS 스위치는 사용되지 않았다. 그 이유는, 입력 전압이 공급 전압의 절반과 비슷한 값(0.25V)을 가지는데, 이 값에서는 NMOS와 PMOS가 subthreshold 영역에 있기 때문이다. 대신에 이 논문에서는 gate-booster 드라이버가 있는 NMOS가 사용되었다. 0.5V의 공급전력에서 최대 샘플링 레이트는 40kS/s이고, 전력 소모는 1.47μW이다. 제안된 캐패시터 에러 보상 방법은 INL을 ±1.7-b 에서 ±1.3-b로 향상시켰다(그림 9). SFDR

은 75dB에서 78.4dB로 향상되었다. 제안한 보상 과정 중에 에러의 크기를 1LSB와 비교하여 진행하는 과정 때문에 INL이 1-b보다 클 때 에러 보상의 효과가 더 증가한다(그림 9).

0dB로 표준화된 사인 입력을 이용하여 출력 스펙트럼을 보기 위해 32768-포인트 FFT를 수행하였다. FoM은 낮은 주파수, Nyquist 주파수에서 각각 17.9, 22.1fJ/c-s였다(그림 10). 공급 전압을 0.6V로 증가시키면 최대 샘플링 레이트는 100kS/s, 소비 전력은 5.3μW까지 증가하였다. 공급 전압이 0.5V이고 샘플링 레이트가 40kS/s일 때, 그리고 공급 전압이 0.6V

이고 샘플링 레이트가 100kS/s일 때 각각의 ENOB를 계산하였다(그림 11). 그리고 제안된 ADC와 11-b보다 큰 ENOB를 가지는 최신의 SAR ADC들의 동작 특성을 비교하였다(표 1).

IV. 결론

이 논문에서는 SAR ADC에 적합한 저전력, 고해상도 캐패시터 부정합 보상 테크닉을 제안하였다. 이 방법을 이용하면 DAC의 두 개의 동일한 캐패시터 뱅크의 role을 단순히 swap하고 1-b 포스트 프로세싱을 통해 선형성을 향상시킬 수 있다. 제안된 방법은 비선형성을 야기시키는 몇 개의 MSB bit들에 의한 불연속적인 경계를 효과적으로 줄일 수 있다. 제안된 방법의 견고함과 효율성을 확인하기 위한 시뮬레이션을 수행하였다. 성능을 확인하기 위해 0.13 μ m CMOS 공정으로 13-b SAR ADC를 제작하였다. 보상 방법은 INL을 ± 1.7 -b 에서 ± 1.3 -b로 향상시켰다. 하지만 캐패시터들의 작은 부정합과 큰 열잡음 때문에 제안된 에러 보상 방법에 의한 ENOB의 향상은 분명하게 확인되지 않았다. 제작한 ADC는 공급 전압이 0.5V이고 샘플링 레이트가 40kS/s일 때 1.47 μ W의 전력을 소모하였다. 최대로 얻을 수 있는 ENOB는 11-b이었고, FoM은 낮은 주파수일 때와 Nyquist 주파수일 때 각각 17.9, 22.1fJ/conv.-step이었다. 제안된 캐패시터 부정합 보상 회로가 차지하는 면적은 매우 작았다. 따라서, 이러한 보상 방법은 극소전력 고해상도 어플리케이션에서 선형성을 증가시키는데 있어서 비용적으로도 효과적이고 유망하다.

참고 문헌

[1] S. Lee, *et. al.*, "A 1.3 μ W 0.6V 8.7-ENOB successive approximation ADC in a 0.18 μ m

CMOS," *VLSI circuits Dig. Tech. Papers*, pp. 242-243, Jun 2009

[2] A. Agnes, *et. al.*, "A 9.4-ENOB 1V 3.8 μ W 100kS/s SAR ADC with time-domain comparator," *ISSCC Dig. Tech Papers*, pp. 246-247, Feb. 2008

[3] N. Verma, *et. al.*, "A 25 μ W 100kS/s 12b ADC for Wireless Micro-Sensor Applications," *ISSCC Dig. Tech. Papers*, pp. 222-223, Feb. 2006

[4] P. Harpe, *et. al.*, "A 30fJ/conversion-step 8b 0-to-10MS/s asynchronous SAR ADC in 90nm CMOS," *ISSCC Dig. Tech. Papers*, pp. 388-389, Feb. 2010.

[5] B. Murmann, "ADC Performance Survey 1997-2013," [Online]. Available: <http://www.stanford.edu/~murmann/adcsurvey.html>

[6] P. Harpe, *et. al.*, "A 2.2/2.7fJ/conversion-step 10/12bit 40kS/s SAR ADC with Data-Driven Noise Reduction," *ISSCC Dig. Tech. Papers*, pp. 270-271, Feb. 2013

[7] M. Yoshioka, *et. al.*, "A 10b 50MS/s 820 μ W SAR ADC with on-chip digital calibration," *ISSCC Dig. Tech. Papers*, pp. 384-385, Feb. 2010

[8] Y. Chen, *et. al.*, "Split capacitor DAC mismatch calibration in successive approximation ADC," in *Proc. CICC*, pp. 279-282, Sep. 2010

[9] J. Um, *et. al.*, "A Digital-Domain Calibration of Split-Capacitor DAC for a Differential SAR ADC Without Additional Analog Circuits," *IEEE Trans. Circuits Sys. I, Reg. Papers*, vol. 60, no. 11, Nov. 2013, pp. 2845-2856

[10] W. Liu, *et. al.*, "A 12b 22.5/45MS/s 3.0mW 0.059mm² CMOS SAR ADC achieving over 90dB SFDR," *ISSCC Dig. Tech. Papers*, pp. 380-381, Feb. 2010

[11] V. Giannini, *et. al.*, "An 820mW 9b 40MS/s Noise-Tolerant Dynamic SAR ADC in 90nm Digital CMOS," *ISSCC Dig. Tech. Papers*, pp. 238-239, Feb. 2008

[12] T. Morie, *et. al.*, "A 71dB-SNDR 50MS/s 4.2mW CMOS SAR ADC by SNR Enhancement

Techniques Utilizing Noise,” *ISSCC Dig. Tech. Papers*, pp. 272-273, Feb. 2013.

[13] R. Kapusta, *et. al.*, “A 14b 80MS/s SAR ADC with 73.6dB SNDR in 65nm CMOS,” *ISSCC Dig. Tech. Papers*, pp. 472-473, Feb. 2013.

[14] Y. Chung, *et. al.*, “A 24mW 12b 1MS/s 68.3dB SNDR SAR ADC with Two-Step Decision DAC Switching,” in *Proc. CICC*, pp. 1-4, Sep. 2013.

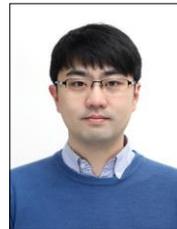


박 범 진

2014년 POSTECH 전자공학과 학사 졸업.

2016년 POSTECH 전자공학과 석사 졸업.

2016년~현재 POSTECH 전자공학과 박사과정
<주관심분야 : ADC, Sensor interface circuits>



하 현 수

2008년 POSTECH 전자공학과 학사 졸업.

2014년 POSTECH 전자공학과 석사 박사통합과정 졸업.

2014년~현재 연구원, Holst Centre, IMEC, Netherlands

<주관심분야 : Analog Circuits for Biomedical Applications>



심 재 윤

1993년 POSTECH 전자공학과 학사 졸업.

1995년 POSTECH 전자공학과 석사 졸업.

1999년 POSTECH 전자공학과 박사 졸업.

1999년~2005년 연구원, 삼성전자

2003년~2005년 연구원, University of Southern California, USA

2011년~2012년 방문교수, University of Michigan, USA

2005년~현재 POSTECH 전자공학과 교수

<주관심분야 : Serial/parallel links, PLL and DLLs, ADC, Sensor interface circuits>