

CMOS의 설계 파라미터 및 Cascode단의 변화에 따른 Time-Domain Temperature Sensor 특성에 관한 연구

(A study on the characteristics of the Time-Domain Temperature Sensor depending on CMOS design parameter and Cascode)

우솔아¹, 김진세¹, 금종민¹, 경신수¹, 성만영^{1,a}

¹ 고려대학교 전기전자공학과

Sola Woo¹, Jinse Kim¹, Jongmin Geum¹, Sinsu Kyoung¹, Man Young Sung^{1,a}

Korea University, School of Electrical Engineering

E-mail : semicad@korea.ac.kr

요약 - 본 논문에서는 서로 다른 CMOS Delay 특성을 갖는 2개의 링 오실레이터와 카운터, Time-to-Digital Converter(TDC)를 이용한 Digital On-Chip 온도 감지 센서를 설계하였다. 본 논문에서 제안한 온도 감지 센서는 신호 발생 단과 신호 출력 단으로 구성된다. 신호 발생 단은 CMOS로 구성된 링 오실레이터와 카운터로 구성되어 있고, CMOS의 Cascode단을 뺀으로써 온도에 대한 민감도를 제어할 수 있다. 따라서 온도에 민감한 링 오실레이터와 온도에 민감하지 않은 링 오실레이터를 설계하고, 카운터를 이용하여 두 신호의 펄스 너비를 증폭시켰다. 신호 발생 단에서 발생된 신호는 신호 출력 단으로 인가된다. 신호 출력 단은 TDC로 구성하여 온도 변화를 디지털 코드로 감지할 수 있다. 온도 감지 센서는 $-20\sim 120^{\circ}\text{C}$ 를 감지할 수 있도록 설계하였다. 또한 제안한 온도 감지 센서에서는 Chip 면적을 최소화하기 위해 Coarse TDC와 Fine TDC를 이용하여 설계하였다. 이를 통해 고 분해능을 갖는 온도 감지 센서를 설계하였고, HSPICE simulation을 통해 온도 감지 센서의 성능을 검증하였다. Chip은 동부 0.11 μm CMOS 공정으로 제작하여 측정하였다.

Abstract - This paper presents low power and high speed on-chip temperature sensor only using two ring-oscillators which have different CMOS delay characteristics, counters and Time-to-Digital Converters (TDC) to maintain the performance benefit of CMOS digital circuit. This novel temperature sensor does not require any bias circuits or reference external clocks. The novel temperature sensor measures the delay variations between the temperature-dependent signal generator and the temperature-independent signal generator according to temperature. The generating two signals is sensed by TDC. But, temperature sensor of TDC cells, which was used to

measure the delay time of two CMOS delay characteristics and convert to digital outputs, occupies large chip area. To overcome this problem, we designed an advanced temperature sensor using Coarse-Fine TDC. Also, it has a higher resolution than existing temperature sensor. After checking the performance of the temperature sensor using a HSPICE simulation, the chip was manufactured using the Dongbu 0.11 μm CMOS process and verified.

I. 서론

핸드폰, 노트북 등 휴대용 기기의 발전과 함께 소형화, 다기능화, 성능 개선 등을 목표로 CMOS 공정의 스케일링 다운(scaling down)이 진행되었다. 특히 스케일링 다운을 통한 채널 길이의 감소로 게이트의 지연은 각 세대마다 약 30% 이상 감소해왔으며 동작 속도와 관련한 회로의 성능은 지속적으로 향상되고 있다. 반면, 기하급수적으로 증가한 트랜지스터 수로 인해 IC Chip에서 발생하는 열이 증가하고 있다. IC Chip에서 발생된 열은 Chip의 온도 상승을 유발하고, 이로 인해 IC Chip의 높은 전력 소모 및 낮은 신뢰성을 유발한다. 따라서 IC Chip에서 발생하는 온도를 감지하는 동시에 칩의 성능 및 동작 조건을 보상해주기 위한 온도 감지 센서가 요구된다[1]. 기존의 일반적인 온도 감지 센서는 BJT와 Analog-to-Digital Converters(ADC)를 사용하는데, 이 방식은 정확도는 높으나 회로가 복잡하고 Chip 면적이 크다는 단점이 있다[10]. 이에 반해, 클럭 발생단에서 링 오실레이터를 사용하여 발생하는 딜레이를 Time-to-Digital Converters(TDC)로 온도

a. Corresponding author; semicad@korea.ac.kr

에 따라 감지하는 방법이 있다. 이 경우 정확도는 기존 방식보다 떨어지나, 전력 소비와 Chip 면적을 줄일 수 있는 장점이 있다[6]. 따라서 본 논문에서는 TDC를 이용하는 방법을 사용하고, 분해능이 떨어지는 단점을 극복하기 위한 방법을 제안한다. 제안한 온도 감지 센서의 블록선도는 아래 Fig. 1.1과 같다[2][3].

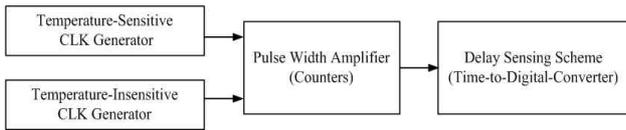


그림 1.1. 제안한 온도 감지 센서
Fig. 1.1. Proposed temperature sensor

본 논문에서는 온도 감지 센서의 분해능을 높이기 위해, 회로 설계 단계에서 조절 가능한 변수인 CMOS의 설계 파라미터 및 캐스코드 CMOS 인버터를 이용한 지연단을 구성하여 온도 감지 센서를 설계하였다[9]. 두 개의 지연단은 온도에 비례하여 서로 다른 선형성(linearity)을 갖는다. 서로 다른 선형성을 갖는 지연단은 온도의 변화에 의존하는 지연단과 의존하지 않는 지연단으로 구분된다. 지연단에서 발생하는 클록은 카운터를 통과하여 펄스로 증폭됨으로써 높은 분해능 구현이 가능하도록 설계하였다. 두 지연단에서 발생하는 클록을 딜레이 감지 회로인 TDC를 통해 비교함으로써 온도를 감지하였다[5].

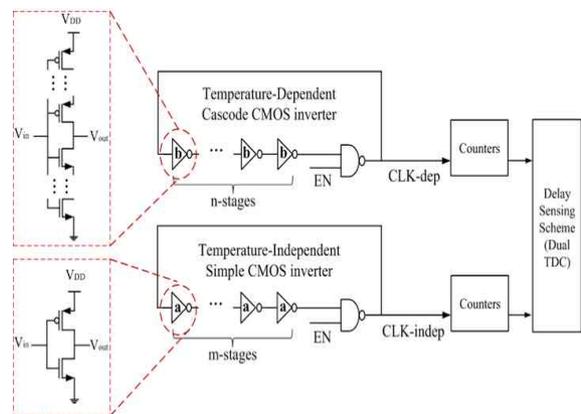
II. 실험 방법

1. 클록 발생 회로의 특성

기존의 기준 클록 발생단의 경우, 외부 클록을 사용하거나 바이어스 회로를 포함한 링 오실레이터를 사용하였다. 외부 클록을 사용할 경우 외부 신호에 따른 노이즈에 민감하다. 또한, IC Chip을 제작할 때, 트랜지스터의 길이, 너비, 산화막 두께 등이 일정하지 않고 약간의 오차를 갖는 공정 변이(process variation)를 갖기 때문에 이에 대한 자동 교정 회로(auto calibration)가 필요하며, 외부 클록의 특정 주파수 이외에는 사용이 제한되는 단점이 있다[8]. 또한, 바이어스 회로를 포함할 경우 설계가 복잡할 뿐

만 아니라 대기 전류에 의한 전력 소모가 발생한다. 또한, 외부 인가 전압에 의한 노이즈 혹은 리플 전압(ripple voltage)이 생기는 등의 단점이 있다. 이러한 기존의 기준 클록 발생기의 단점을 극복하기 위하여 Fig. 2.1(a)의 기준 클록 발생단을 제안하였다. 기본적인 CMOS 인버터는 NMOS 한 개와 PMOS 한 개로 설계하였다. 캐스코드 CMOS 인버터는 기존의 CMOS 인버터에서 NMOS와 PMOS를 쌓아서 만든 구조이다. 캐스코드 CMOS 인버터는 기본적인 CMOS 인버터와는 다르게 n개의 NMOS와 n개의 PMOS로 구성되어 있다. n개의 NMOS와 PMOS를 사용하였기 때문에 기본적인 CMOS 인버터보다 더 큰 기생 캐패시턴스가 존재하고 기생 캐패시턴스는 로드 캐패시턴스를 구성하므로, 이는 로드 캐패시턴스 C_L 의 증가를 가져온다. 그렇기 때문에 기본 CMOS 인버터보다 캐스코드 CMOS 인버터는 전원전압 V_{DD} 의 감소로 인하여 문턱전압인 V_T 의 비중이 증가한다. 문턱전압은 온도가 증가할수록 감소하게 되므로 기본 CMOS 인버터보다 캐스코드 CMOS 인버터가 더 큰 온도에 대한 전달 지연시간을 가지게 된다. 그러므로 n개의 캐스코드 CMOS 인버터를 이용하여 온도의 변화에 의존하는 지연단과 온도의 변화에 둔감한 지연단을 설계할 수 있다.

Fig. 2.1(a)에서 CLK-dep의 클록 신호를 발생하는 링 오실레이터는 CMOS 인버터 캐스코드단 n개로 구성되어 있다. CLK-indep의 클록 신호가 발생하는 링 오실레이터는 캐스코드 CMOS 인버터 1단의 최소 동작 온도 T_1 에서의 지연 시간은 b이다. 최소 동작 온도가 T_1 , 최대 동작 온도가 T_2 일 때 두 링 오실레이터의 출력 CLK-dep과 CLK-indep의 딜레이는 Fig. 2.1(b)와 같다.



(a)

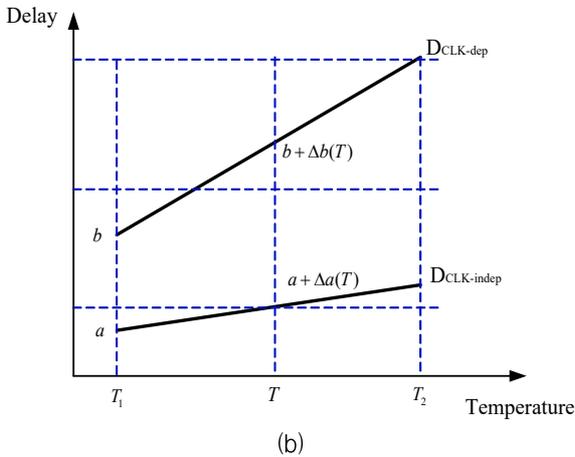


그림 2.1. 클럭 발생단 회로 (a) 링 오실레이터를 이용한 클럭 발생기의 회로도 (b) 온도에 대한 링 오실레이터의 클럭 딜레이

Fig. 2.1. Clock generator circuit (a) Schematic of clock generator with ring oscillator (b) Clock delay of ring oscillator for temperature

이 때, T_1 에서 1단의 CMOS 인버터 1개의 지연 시간을 a 라고 하고 캐스코드 CMOS 인버터 1단의 지연 시간을 b 라고 가정한다. $T_1 \leq T \leq T_2$ 의 조건을 만족하는 임의의 온도를 T 라 할 때, 동작온도가 T_1 에서 T 로 증가하였을 때 기본적인 CMOS 인버터 1단과 캐스코드 CMOS 인버터 1단의 지연 시간의 증가량을 각각 $\Delta a(T)$, $\Delta b(T)$ 라 가정한다. 따라서 식 (2.1)과 식 (2.2)와 같이 CLK-dep와 CLK-indep은 딜레이에 대한 함수로 나타낼 수 있다.

$$D_{CLK-indep}(T) = a + \Delta a(T) \tag{2.1}$$

$$D_{CLK-dep}(T) = b + \Delta b(T) \tag{2.2}$$

또한 임의의 온도 T 에서 두 링 오실레이터의 딜레이의 차이 $\Delta D(T)$ 는 두 클럭의 주기 차이 $\Delta T_D(T)$ 로 식 (2.4)와 같이 변환하여 생각할 수 있다.

$$\Delta T_D(T) = n \cdot D_{CLK-dep}(T) - m \cdot D_{CLK-indep}(T) \tag{2.3}$$

$$\Delta T_D(T) = n \cdot \{b + \Delta b(T)\} - m \{a + \Delta a(T)\} \tag{2.4}$$

두 클럭의 주기를 비교하기 위하여 최소 동작 온도인 T_1 에서 설계 기준점을 설정하였다. 따라서 T_1 에서 두 링 오실레이터의 주기는 같다. $\Delta a(T_1)$, $\Delta b(T_1)$ 의 값이 0이므로 식 (2.5)의 조건을 만족한다.

$$\begin{aligned} \Delta T_D(T_1) &= T_{D,CLK-dep}(T_1) - T_{D,CLK-indep}(T_1) = 0 \\ (\because m \cdot a &= n \cdot b) \end{aligned} \tag{2.5}$$

1단의 CMOS 인버터와 캐스코드 CMOS 인버터의 지연 시간은 온도 변화에 대하여 선형적으로 비례한다 [11],[12],[13]. 1단의 CMOS 인버터와 캐스코드 CMOS 인버터의 지연시간 변화량을 각각 α , β 라 할 때, 식 (2.6)과 식 (2.7)과 같이 정의할 수 있다.

$$\alpha = \frac{da(T)}{dT} \tag{2.6}$$

$$\beta = \frac{db(T)}{dT} \tag{2.7}$$

따라서 $\Delta T_D(T)$ 는 식 (2.8)과 같이 온도 변화량에 대한 1차 함수로 표현할 수 있다. 따라서 식 (2.9)의 조건을 만족한다.

$$\begin{aligned} \Delta T_D(T) &= n\Delta b(T) - m\Delta a(T) \\ &= (n \cdot \beta - m \cdot \alpha)\Delta T \end{aligned} \tag{2.8}$$

식 (2.9)의 조건을 유도함으로써 1단의 CMOS 인버터와 캐스코드 CMOS 인버터의 딜레이 차이는 온도 변화에 비례하므로, 클럭 딜레이의 비교를 통하여 온도 변화를 감지할 수 있음을 증명하였다.

$$\Delta T_D(T) \propto \Delta T \tag{2.9}$$

동일한 온도 변화에서 $\Delta T_D(T)$ 의 값이 클수록 고분해능을 갖는 온도 감지 센서를 설계할 수 있다. 최소 α 값을 갖는 클럭 발생단을 설계하고 최대 β 값을 갖는 클럭 발생단을 설계하였다. 또한, $n \cdot \beta - m \cdot \alpha$ 값의 증폭단을 설계하고 CMOS 인버터와 비슷한 상승시간, 하강시간을 갖도록 회로를 설계하였다.

위의 조건을 만족하기 위하여 동부 0.11 μ m 공정에 대하여 캐스코드단을 2단에서부터 100단까지의 캐스코드 CMOS 인버터를 설계하고 -20 $^{\circ}$ C에서 120 $^{\circ}$ C까지 동작 온도를 변화시킬 때 캐스코드 CMOS 인버터의 전달 지연시간에 대하여 시뮬레이션을 진행하였다. 캐스코드단의 개수를 증가시키면 지연 시간의 절대적인 크기가 증가한다. 이것은 캐스코드단의 개수에 따라 로드 캐패시턴스가 증가하기 때문에 전달 지연시간의 증가를 가져오기 때문이다. -20 $^{\circ}$ C

를 기준으로 최대 온도인 120°C에서의 변화율을 표준화하여 Fig. 2.2와 같이 나타내었다.

따라서 식 (2.5)의 조건을 만족시키기 위해, 온도 변화에 둔감한 클럭 발생단은 1단의 CMOS 인버터로 선정하였다. 또한, 온도 변화에 의존하는 클럭 발생단은 5단의 캐스코드 CMOS 인버터로 선정하였다. 10단의 캐스코드 CMOS 인버터 이상에서는 지연 시간의 변화율이 포화되는 경향을 보였기 때문이다. D-플립플롭으로 구성된 카운터를 포함한 클럭 발생단의 회로도도 Fig. 2.3(a)와 같다. CLK-dep과 CLK-indep를 D-플립플롭의 CLK단에 인가하고 QB(output 반전)를 입력단인 D(data)에 연결한다. D-플립플롭은 클럭이 상승 트리거(trigger)할 때 출력 값인 Q가 전이(transition)되므로 Q단은 CLK 단에 인가된 신호 주기의 2배 주기를 갖는 신호를 출력한다. 이를 응용하여 CLK-dep과 CLK-indep의 주기를 증폭할 수 있다. x개의 카운터단을 설계하면 입력 신호 대비 출력값은 2^x배의 주기를 갖는 것이다. 또한, CMOS 인버터의 상승시간과 하강시간을 같게 해주기 위하여 전자와 정공의 이동도 차이를 이용하여 NMOS와 PMOS의 너비를 다르게 설계하였다.

Fig. 2.3(a)에 나타난 바와 같이 기본적인 CMOS 인버터는 m단으로 구성되어 있고, 5단의 캐스코드 CMOS 인버터는 n단으로 구성되어 있다. 이 때, CLK-dep과 CLK-indep의 온도에 따른 딜레이 차이는 식 (2.8)과 같이 수식적으로 표현할 수 있으며 n과 m에 의존한다. 하지만 고 분해능을 구현하기 위하여 n과 m 값을 크게 설정할 경우 칩 면적의 비효율성을 유발한다.

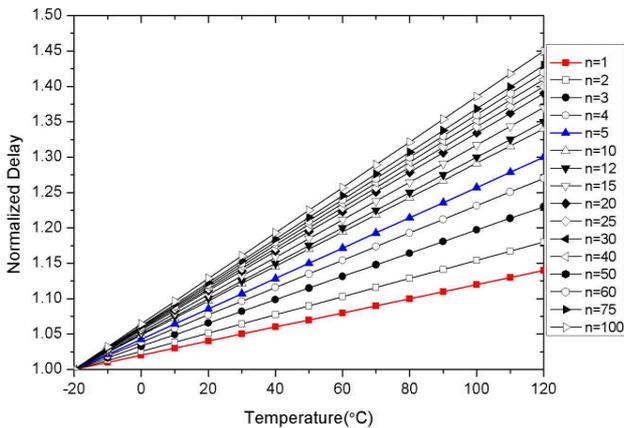


그림 2.2. 캐스코드 CMOS 인버터 단 수에 따른 -20°C에서 120°C까지의 지연 시간의 변화율
Fig. 2.2. Stage number of Cascode CMOS Inverters by -20°C to 120°C normalized variation rate of

propagation delay time

따라서 Fig. 2.3(a)와 같이 카운터 x단을 직렬로 연결하여 두 클럭의 주기 차이를 증폭할 수 있으며, 그에 따른 출력 특성은 Fig. 2.3(b)와 같다. 카운터 x단을 직렬로 연결할 때 두 클럭의 주기 차이에 대한 식 (2.8)은 식 (2.10)과 같이 수정할 수 있으므로, $n \cdot \beta - m \cdot \alpha$ 값을 증폭하여 고 분해능을 갖는 온도 감지 센서를 구현할 수 있다.

$$\Delta T_D(T) = 2^x (n \cdot \beta - m \cdot \alpha) \Delta T \quad (2.10)$$

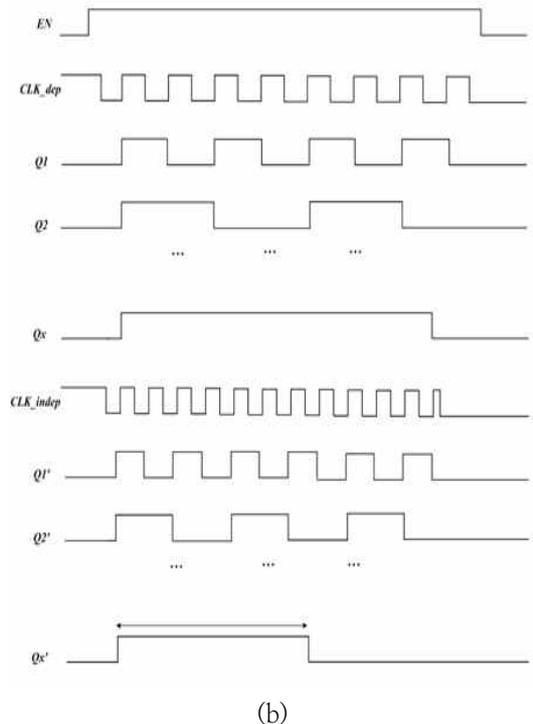
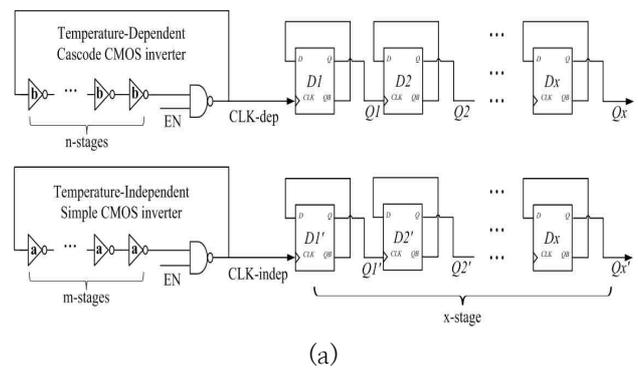


그림 2.3. 카운터를 이용한 클럭 주기 증폭 (a) 카운터를 포함한 클럭 생성기 (b) 카운터를 포함한 클럭 생성기의 출력 특성
Fig. 2.3. Clock cycle amplification using a counter (a) Clock generator including counter (b) Output characteristics of clock generator including counter

2. 클럭 감지 회로의 특성

본 절에서는 두 클럭의 딜레이 차이를 디지털 코드로 변환하는 클럭 감지단을 제안한다. 두 클럭의 주기 차이는 TDC를 이용하여 디지털 코드로 변환할 수 있다. Fig. 2.4는 10비트(bit)의 온도 코드를 출력으로 갖는 TDC의 회로도이다[4]. TDC를 구성하는 여러 개의 D-플립플롭과 지연단을 Fig. 2.3와 같이 설계하였다. Fig. 2.3와 같이 설계한 TDC는 1비트 당 a의 시간 분해능을 갖고 딜레이 차이를 디지털 코드로 변환할 수 있다.

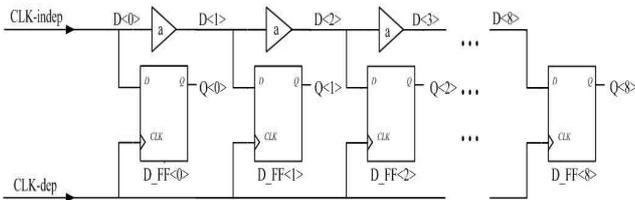
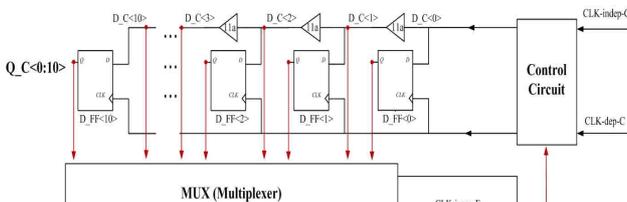


그림 2.4. 10비트 TDC 회로도
Fig. 2.4. Basic 10bit TDC circuit

이와 같이 온도 변화에 따른 CLK-dep과 CLK-indep의 지연 시간 차이를 이용하여 온도 변화를 감지할 수 있다. 하지만 Fig. 2.3에 설계된 TDC의 경우, n개의 D-플립플롭 셀을 이용하여 10a의 시간 차이를 (n+1)비트의 디지털 출력으로 변환할 수 있다. 이는 1비트당 1°C를 감지할 수 있다고 하면 100°C 이상을 감지하기 위해서는 D-플립플롭 셀 100개 이상이 필요하다. 그렇기 때문에 높은 분해능을 요구할 경우 칩 단면적을 많이 차지하게 되므로 비효율적이라는 단점이 있기 때문에 발전된 TDC의 기술이 필요하다[6].

<Coarse-TDC>



<Fine-TDC>

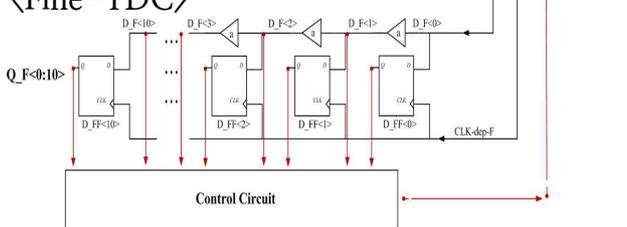


그림 2.5. Coarse, Fine-TDC 회로도
Fig. 2.5. Design circuit of Coarse-TDC and Fine-TDC

따라서 Fig. 2.5에서 제시한 바와 같이 기존의 TDC를 Coarse-TDC와 Fine-TDC로 분할하여 설계하였다. Coarse-TDC의 지연단은 11a의 지연 시간을 가지고, Fine-TDC의 지연단은 a의 지연 시간을 갖도록 설계하였다. 앞에서 살펴본 바와 같이 Coarse-TDC는 11a의 지연 시간을 갖기 때문에 1개의 D-플립플롭 당 11a의 시간 분해능을 가지고 Fine-TDC는 a의 지연 시간을 갖기 때문에 1개의 D-플립플롭 당 a의 시간 분해능을 가진다. Coarse-TDC에 CLK-dep-C 신호가 첫 번째 D-플립플롭 클럭단으로 인가된다. 동시에 CLK-indep-C 신호가 각 단마다 11a의 지연 시간을 갖고 D_C<0:10>의 신호가 되어 각각 D-플립플롭의 데이터단에 인가된다. CLK-dep-C와 CLK-indep-C의 신호 차이로 인하여 Coarse-TDC의 출력값 Q_C<0:10>을 갖는다. MUX는 CLK_D<0:10>와 CLK_S<0:10>를 논리게이트 회로로 조합하여 Coarse TDC에서의 시간 분해능 단위인 11a로 감지하지 못하는 나머지 시간을 Fine-TDC로 전달하는 역할을 한다. 따라서 11a 이하의 클럭 지연 시간 차이는 Fine-TDC에서 a의 작은 시간 단위의 분해능을 갖는 출력 Q_F<0:10>로 출력된다. Coarse-TDC에서 감지하지 못한 나머지 시간(residue)은 Fine-TDC에서 작은 시간 단위의 감지를 통해 디지털 코드로 변환된다[7].

따라서 n개의 a의 시간 분해능을 갖는 Fine-TDC와 n개의 11a의 시간 분해능을 갖는 Coarse-TDC로 구성된 클럭 감지단은 144a의 시간 차이를 (n+1)²비트의 디지털 코드로 변환할 수 있다. 기존 TDC와 다르게 Coarse-TDC와 Fine-TDC로 설계된 클럭 감지단은 더 적은 D-플립플롭단의 개수를 사용하기 때문에 작은 면적을 차지한다. 따라서 작은 칩 단면적과 높은 분해능을 갖는 온도 감지 센서를 설계할 수 있다. CLK-dep과 CLK-indep은 총 n개의 단으로 구성된 카운터를 통과하므로 각 클럭의 주기는 2ⁿ배로 증폭된다. 따라서 임의의 온도 T에서 CLK-indep-C와 CLK-dep-C의 주기 차이 ΔT_D(T)는 식 (2.11)과 같이 나타낼 수 있다.

$$\begin{aligned}
 \Delta T_D(T) &= T_{D,CLK-dep,Coarse}(T) - T_{D,CLK-indep,Coarse}(T) \\
 &= 2^n \cdot n \cdot \{b + \Delta b(T)\} - 2^n \cdot m \cdot \{a + \Delta a(T)\} \\
 &= 2^n \cdot \{n\Delta b(T) - m\Delta a(T)\}
 \end{aligned}
 \tag{2.11}$$

CLK_indep-C와 CLK_dep-C의 온도에 의한 주기 차이 $\Delta T_D(T)$ 는 Coarse, Fine-TDC블록에서 디지털 코드로 변환된다. TDC의 지연 버퍼는 온도에 대한 변화가 둔감한 동시에 높은 분해능을 구현하기 위하여 최소의 지연 시간을 갖도록 설계하여야 한다. 이를 만족하기 위해서는 아래의 식 (2.12)와 식 (2.13)을 만족하도록 m과 n값을 설계하여야 한다.

$$ma = nb \quad \text{at } -20^\circ\text{C} \quad (2.12)$$

$$2^x \cdot \{n\Delta b(T) - m\Delta a(T)\} > 144a \quad \text{at } 120^\circ\text{C} \quad (2.13)$$

3. 제안한 온도 감지 센서의 설계

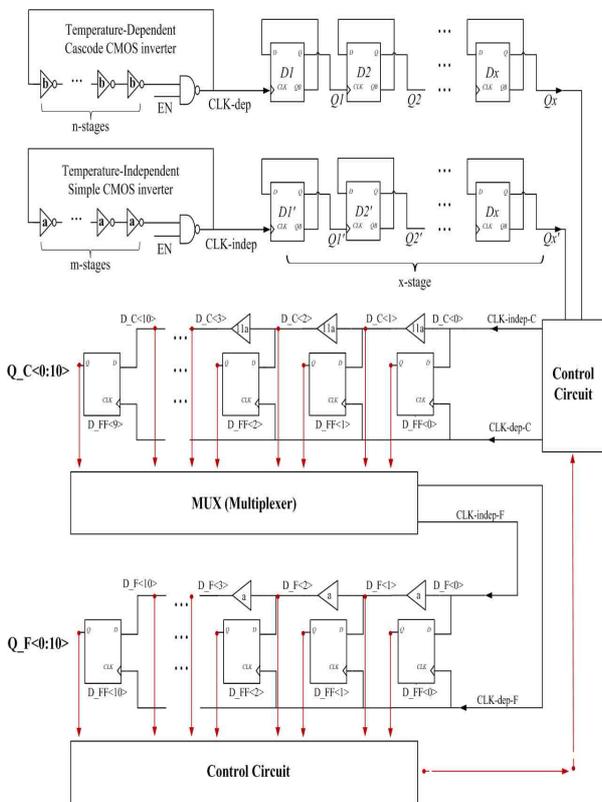


그림 2.6. 제안한 온도 감지 센서의 전체 회로 구성도
Fig. 2.6. Entire circuit configuration of suggested temperature sensor

Fig. 2.6에 본 논문에서 제안한 온도 감지 센서의 전체 회로 구성도를 나타내었다. 첫 번째 부분은 온도 변화에 의한 지연 시간의 차이를 갖는 두 개의 클록을 생성하는 부분으로 클록 발생단이다. 클록 발생단은 두 개의 링 오실레이터와 카운터단으로 구성하였다. 두 번째 부분은 온도 변화에 의한 두 신호의 지연 시간의 차이를 디지털 코드로 변환하는 부분으로 클록 감지단

이다. 클록 감지단은 D-플립플롭과 컨트럴 회로, MUX로 구성되어 있다.

온도에 둔감한 지연 시간을 갖는 링 오실레이터를 설계하기 위하여 1단의 CMOS 인버터 m단으로 구성하였으며 1단의 CMOS 인버터의 지연 시간은 a이다. 반면 온도에 민감한 시간 지연을 갖는 링 오실레이터를 설계하기 위하여 캐스코드 CMOS 인버터 n단으로 구성하였으며 캐스코드 CMOS 인버터 1단의 지연 시간은 b이다. -20°C 에서 120°C 로 온도가 변화할 때, Fig. 2.2에서 나타낸 바와 같이, a의 지연 시간을 갖는 기본적인 CMOS 인버터는 14.28%의 지연 시간 변화율을 갖고 b의 지연 시간을 갖는 캐스코드 CMOS 인버터는 30.52%의 지연 시간 변화율을 갖는다. 설계한 온도 감지 센서를 레이아웃 후 시뮬레이션을 통해 -20°C 에서 120°C 까지 10°C 씩 증가시키며 Coarse, Fine-TDC의 출력 Q_C<0:10>과 Q_F<0:10>를 얻고 온도로 변환하였다. Table 2.1에 시뮬레이션 결과에 따라 온도에 대한 TDC 출력의 온도 환산값과 오차를 나타내었다. Table 2.1의 출력 값은 각 디지털 출력 코드의 High의 개수를 나타내었다.

표 2.1. 레이아웃 후 시뮬레이션에 대한 온도 환산값과 오차
Table 2.1. Simulation error according to the temperature

온도 (°C)	Q_C <0:10>	Q_F <0:10>	10진수 디지털 코드	오차 (°C)	오차 절대값 (°C)
-20	0	0	0	0.00	0.00
-10	0	10	10	0.00	0.00
0	1	9	21	1.00	1.00
10	3	5	29	-1.00	1.00
20	4	5	41	1.00	1.00
30	5	4	52	2.00	2.00
40	6	11	59	-1.00	1.00
50	7	8	68	-2.00	2.00
60	8	10	82	2.00	2.00
70	9	7	91	1.00	1.00
80	10	3	99	-1.00	1.00
90	11	1	109	-1.00	1.00
100	12	3	123	3.00	3.00
110	12	0	132	1.00	1.00
120	12	4	140	0.00	0.00
평균					1.13

또한, 전원전압의 변동이 인버터의 지연시간의 변화율에 영향을 주는지에 대해, 아래의 Fig. 2.7과 같이 1.2V의 전원 전압을 기준으로 $\pm 10\%$ 인 1.1V와 1.3V 일 때, 온도에 민감한 5단의 캐스코드 CMOS 인버터와 온도에 둔감한 1단의 CMOS 인버터의 지연시간의 변화율을 시뮬레이션한 결과를 나타내었다.

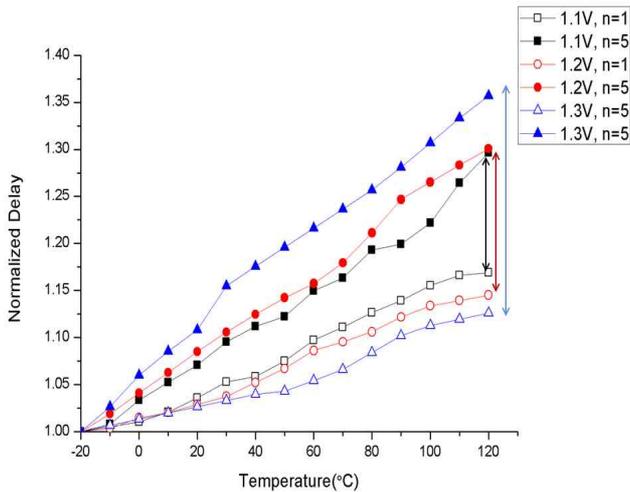


그림 2.7. 전원전압의 변동에 따른 지연시간 변화율의 비교
 Fig. 2.7. Comparison of delay time variation rate due to change of supply voltage

이를 바탕으로, 전원전압이 1.2V보다 작아지면, 온도에 민감한 5단의 캐스코드 CMOS 인버터와 온도에 둔감한 1단의 CMOS 인버터 간의 지연시간의 변화율의 차이가 줄어들고, 1.2V보다 커지면 온도에 민감한 5단의 캐스코드 CMOS 인버터와 온도에 둔감한 1단의 CMOS 인버터 간의 지연시간의 변화율의 차이가 증가함을 알 수 있다. 따라서, 전원전압이 증가 할 경우에는 지연시간의 변화율의 차이가 증가하므로 분해능이 커지게 되어 문제가 되지 않으나, 전원전압이 낮아질 경우 분해능이 감소하는 문제점이 발생할 수 있다. 그러므로 전원전압이 작아질 경우를 고려하여 클록 발생 회로에서 약 20%정도의 지연시간의 변화율 Margin을 가지게 설계하여야한다.

HSPICE 시뮬레이션을 기반으로 a, b의 지연시간을 갖는 인버터를 선정하고 식 (2.12)와 식 (2.13)의 조건을 만족하는 m, n 값을 설정하여 설계하였다. 그에 따른 설계 파라미터는 Table 2.2에 나타내었다.

표 2.2. CMOS 인버터의 설계 파라미터
 Table 2.2. CMOS inverters design parameter

14.28% 지연 시간을 갖는 1단의 CMOS 인버터			30.52% 지연 시간을 갖는 5단의 캐스코드 CMOS 인버터		
NMOS W/L (μm)	PMOS W/L (μm)	m	NMOS W/L (μm)	PMOS W/L (μm)	n
0.36/0.11	0.62/0.11	24	0.36/0.11	0.62/0.11	10

III. 결과 및 고찰

제안한 온도 감지 센서에 대한 실제 동작 여부를 검증하고 성능을 평가하기 위하여, 2.4절에서 제안한 회로를 Fig. 3.1(a)과 같이 칩 레이아웃을 설계하였고, 0.11 μm 1Poly, 6Metal 공정으로 제작하였다. Fig. 3.1(a)의 칩을 온도 변화에 대하여 측정하기 위해 테스트 보드를 제작하였다. 공정 완료된 웨이퍼를 2115 μm × 2115 μm 의 크기로 다이싱(dicing)한 후, PCB 기판에 와이어 본딩을 진행하였다. Fig. 3.1(b)에 완성된 테스트 보드의 사진이 나타나 있다. 온도 변화를 측정하기 위하여 온도 챔버(패키징 기술센터)를 열원으로 사용하여 테스트 보드를 가열하였다. 또한 가열된 테스트 보드의 온도 변화를 측정하기 위하여 적외선 열 감지기(infrared ray thermometer)를 사용하였다. 온도 변화를 측정하기 위해 30°C에서 60°C까지 5°C씩 온도를 증가시키며 칩 특성을 측정하였다.

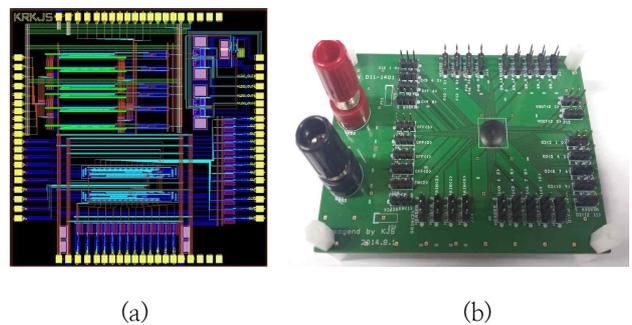


그림 3.1. 제안된 온도 센서 (a) 칩 레이아웃 (b) 테스트 보드 사진
 Fig. 3.1. Suggested temperature sensor (a) Chip layout (b) Test board picture

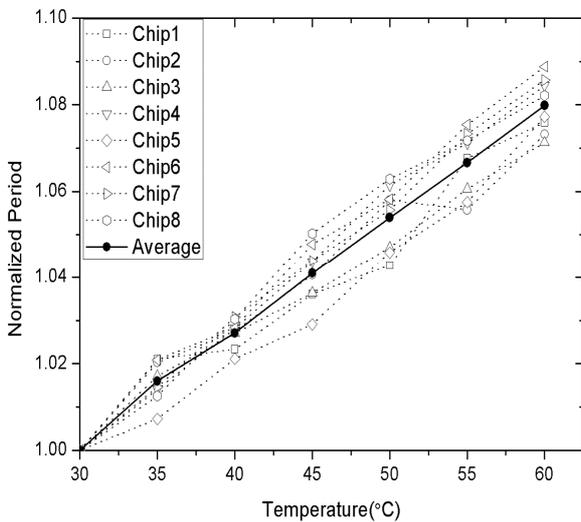
온도 감지 센서의 실제 측정 조건 및 결과를 Table 3.1에 나타내었다.

표 3.1. 제안한 온도 감지 센서의 실제 측정 조건 및 결과

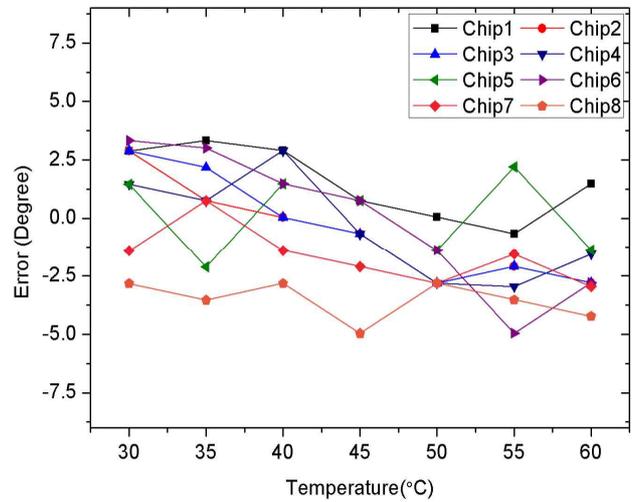
Table 3.1. Measurement condition & result of proposed temperature sensor

항 목	값
전원 전압	1.2 V
테스트 보드 시료 개수	17
측정 온도 범위	30°C ~ 60°C per 5°C
칩 단면적	0.050mm ²
온도 분해능	0.9722°C/LSB
오차 범위	-2.96°C~+3.32°C
평균 오차값	-0.54°C
평균 절대 오차값	1.46°C
표준편차	2.194

Fig. 3.2(a)에 17개의 테스트 보드에 대하여 30°C에서 60°C까지 온도를 변화하면서 디지털 코드를 측정하여 온도로 환산한 결과를 나타내었으며 그림 3.2(b)에 실제 온도에 따른 오차를 나타내었다. 시뮬레이션 조건에 따른 온도 분해능이 0.9722°C/LSB일 때, Q_C<0:10>와 Q_F<0:10>의 디지털 코드를 측정하여 온도 값으로 변환한 결과, -2.96°C~+3.32°C의 오차를 갖고 온도 감지가 가능함을 확인하였다. 이때 평균 오차 값은 -0.54°C, 절대값 오차의 평균은 1.46°C, 오차의 표준 편차는 2.194이다. 적외선 열 감지기의 허용 오차가 ±3°C인 것과 실험 환경에 의한 오차 발생을 감안하였을 때, 제안한 온도 감지 센서가 비교적 적절한 동작을 보이고 있음을 검증하였다.



(a)



(b)

그림 3.2. 온도 감지 센서의 출력 측정 결과 (a) 측정된 디지털 출력의 온도 환산 결과 (b) 실제 측정 온도와 출력 온도의 오차

Fig. 3.2. Output measurement results of proposed temperature sensor (a) Temperature conversion results of measured digital output (b) Measurement temperature and output temperature of the error

이를 바탕으로 Table 3.2에서 제안한 온도 감지 센서의 성능을 타 디지털 CMOS 온도 감지 센서와 비교 및 평가하였다.

표 3.2. 제안한 온도감지 센서의 성능 비교

Table 3.2. Measurement condition & result of proposed temperature sensor

Sensor	분해능 (°C)	오차 (°C)	소비 전력	칩 면적 (mm ²)	감지 속도 (samples/s)	온도범위 (°C)
A. syed [14]	0.66	-1.8 ~ +2.3	1.2mW	0.12	5k	0~100
Y. W. Li,[15]	0.45	5	1.6mW	0.26	1k	-10~100
Kisoo K [16]	0.345	-2.9~+2.75	400μW	0.0066	366k	-40~110
Ha D [17]	0.78	-4.0~4.0	1.2mW	0.12	5k	0~100
Proposed	0.97	-0.52 ~+1.1	50μW	0.050	800k~877k	-20~120

Table 3.2에서 볼 수 있듯이, 제안된 온도 감지 센서는 링 오실레이터로 구동하며 별도의 바이어스 회로를

필요로 하지 않으므로 대기 전류에 의한 전력 소모를 감소시킬 수 있다. 따라서 1.2V의 동작 전압으로 구동하였을 때 전력 소모는 50 μ W이며 타 온도 감지 센서에 비하여 저전력 구현이 가능한 것을 볼 수 있다. 칩 단면적 측면에서도 타 온도 감지 센서보다 우수하므로 시스템 온 칩(system on chip)적용이 가능할 것으로 보인다. [16]의 칩 단면적이 제안된 온도 감지 센서보다 작은 이유는 0.11 μ m CMOS 공정보다 미세한 90nm CMOS 공정으로 설계되었기 때문이다.

제안한 온도 감지 센서는 특히 감지 속도 측면에서 타 온도 감지 센서보다 우수함을 보였다. 최저 온도인 -20 $^{\circ}$ C에서 877kSamples/s, 최대 온도인 120 $^{\circ}$ C에서 800kSamples/s의 빠른 온도 감지 속도를 보였다. 따라서 DRAM 등의 빠른 구동 속도의 요구가 존재하는 분야에 적용이 가능할 것으로 보인다.

분해능의 경우 타 논문과 비교하였을 때 수치가 낮은 것을 볼 수 있으나, 이는 클럭 발생단의 링 오실레이터를 구성하는 인버터의 수나 카운터의 수를 증가시킴으로써 보완이 가능하다. 온도 감지 센서의 경우 분해능은 칩 단면적 및 감지 속도와 트레이드 오프(trade off) 관계를 가지고 있으므로 적용 분야에 맞는 최적화 설계가 필요하다.

제안한 온도 감지 센서는 온도 감지 범위 측면에서 타 온도 감지 센서보다 우수함을 보였다. 제안한 온도 감지 센서의 온도 감지 범위는 -20 $^{\circ}$ C~120 $^{\circ}$ C로 타 온도 감지 센서보다 10 $^{\circ}$ C~30 $^{\circ}$ C만큼의 더 큰 온도 감지 범위를 가지고 있으므로 온도 감지 범위가 넓은 분야에 적용이 가능할 것으로 보인다.

IV. 결 론

본 논문에서는 외부 클럭이나 바이어스 회로를 포함하지 않는 디지털 CMOS 온도 감지 센서를 제안하였다. 기본적인 CMOS 인버터와 캐스코드 CMOS 인버터를 설계하여 온도의 변화에 의존하는 클럭 발생단과 온도의 변화에 의존하지 않는 클럭 발생단을 구성하였으나, CMOS 인버터로만 설계한 클럭 발생단은 두 클럭의 전달 지연시간의 차이가 크지 않으므로 고 분해능을 가지는 온도 감지 센서를 설계하는 것이 불가능하다. 그렇기 때문에 카운터단을 추가해 클럭 발생단에서 발생하는 클럭의 주기를 증가시켰고 증가시킨 클럭 주기의 차이를 이용해서 고 분해능을 가지는 온도 감지 센서를 설계하였다. 설계한 온도 감지 센서를 0.11

μ m 공정 파라미터에 따라 레이아웃을 설계한 후 HSPICE 시뮬레이션으로 결과를 확인하였으며, 이 시뮬레이션 결과를 토대로 0.11 μ m 1Ploy, 6Metal 공정을 채택하여 설계한 온도 감지 센서를 제작하였다.

본 논문에서 제안한 CMOS의 설계 파라미터 및 캐스코드단의 변화에 따른 온도 감지 센서는 이전 온도 감지 센서가 가지는 전력 소모의 문제점을 해결함과 동시에, 빠른 동작 속도와 작은 칩 단면적을 갖는 동시에 설계하기 간편하다는 장점을 가지고 있다. 따라서 DRAM 및 CPU 뿐만 아니라 빠른 동작 속도를 요구하는 다양한 응용 분야에 적용이 가능할 것으로 기대된다.

온도 감지 센서의 분해능 및 오차율 등, 온도 감지 센서의 스펙을 향상시키기 위하여 공정 변이에 대한 자동 보정 회로(auto-calibration) 추가 설계를 구성하여 설계/제작함으로써 신뢰성을 높일 수 있다고 판단되며, 자동 보정 회로를 추가한 온도 감지 센서는 공정 변이에 대한 오차율을 줄일 수 있으므로 온도 감지 센서의 스펙을 향상시킬 수 있을 것으로 기대된다.

감사의 글

본 논문은 IDEC 연구 과제의 일환으로 수행하였음.

참 고 문 헌

- [1] 유지운, "전력전자공학 -회로 동작과 파형의 이해-", 생능출판사, 2012
- [2] Jinse Kim, Seung Woo Hong, Reum Oh, Man Young Sung, "Design of a Digital on-Chip Temperature Sensor using Coarse-Fine TDC", proceedings of the KIEEME annual summer conference, Vol. 15, pp. 270, 2014.
- [3] Jiwoong Jang, Jinse Kim, Reum Oh, Man Young Sung, "All digital on-chip temperature sensor using dual ring oscillators", IEEE international conference on electronics, circuits, and systems, Dec. 2013.
- [4] Jinse Kim, Seong Bin Kim, Sola Woo, Reum oh, Man Young Sung, "Verification of CMOS Temperature Sensor using CMOS Cascode and Time-to-Digital Converter", The 22nd Korean Conference on Semiconductor (KCS 2015).

[5] Reum Oh, Man Young Sung, "A Fully Digital On-chip Process Variation Sensor using Time-to-Digital Converter", 19th Korean Conference on Semiconductor (KCS 2012)

[6] Poki Chen, C.-C, Chen, C.-C. Tsai, and W.F. Lu, "A time to digital converter based CMOS smart temperature sensor", IEEE J. Solid State Circuits, Vol. 40, no. 8, pp. 1642-1648, Aug. 2005.

[7] Chen, Shi-Wen, et al. "Fully on-chip temperature, process, and voltage sensors" Circuits and Systems (ISCAS), Proceedings of 2010 IEEE International Symposium on. IEEE, 2010

[8] Reum Oh, Jiwoong Jang, Jinse Kim, Man Young Sung, "Advanced Digital On-Chip Process Variation Sensor", ISOCC 2013, Chip design contest

[9] Il Won Seo, Eun Sik Jung, Man Young Sung, "An analog front-end IC design for 320x240 microbolometer Array Applications, IEEE Transactions on Circuits and Systems II

[10] A. Bakker, "CMOS smart temperature sensors -An overview," Proc. IEEE Sensors, vol. 2, pp. 1423-1427, Jun. 2002.

[11] Jiwoong Jang, Reum Oh, Man Young Sung, "A research on temperature sensor using delay of CMOS gate length variation", proceedings of the KIEEME annual summer conference, Vol.25, pp. 287, 2012.

[12] Jinse Kim, jiwoong Jang, Reum Oh, Man Young Sung, "Analysis of the inverter chain delay depending on channel length and temperature change", proceedings of the KIEEME annual summer conference, Vol. 14, pp. 138, 2013.

[13] F.M. Klaassen and W. Hes, "On the temperature coefficient of the MOSFET Threshold voltage", Solid-State Electronics, pp.787-789, Nov. 1985.

[14] A. syed, E ahmed, D. Maksimovic, and E. Alarcon, "Digital pulsewidth modulator architectures", in proc. 35th Annual IEEE Power Electronics Specialists conference, pp. 4689-4695, Jun. 2004.

[15] Y. W. Li, Lakdawala, A. Raychowdhury, G. Taylor, and K. Soumyanath, "A 1.05V 1.56mW 0.45°C 3 σ -resolution $\Sigma\Delta$ -based temperature sensor with parasitic-resistance compensation in 32nm CMOS", in Proc. IEEE ISSCC Dig. , pp.340-341, Feb. 2009.

[16] Kisoo K, Hokyu L, Sangdon J, Chulwoo Kim, "A 366kS/s 400uW 0.0013mm²

frequency-to-digital converter based CMOS temperature sensor utilizing multiphase clock", IEEE custom integrated circuits conference, 2009.

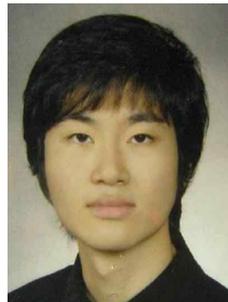
[17] Ha D., Woo K., Meninger S., Xanthopoulos T., Crain E., Ham D., "Time-domain CMOS temperature sensors with dual delay-locked loops for microprocessor thermal monitoring", IEEE Trans. VLSI systems, pp. 1-12, Aug, 2011.



우 솔 아
2014년 단국대학교
전자전기공학부 학사 졸업.
2014년~현재 고려대학교 전기전자
공학과 석사 과정.
<주관심분야 : Integrated Circuit,
Power Device>



김 진 세
2013년 고려대학교 전자전기공학과
학사 졸업.
2015년 고려대학교 전기전자공학과
석사 졸업.
<주관심분야 : Integrated Circuit,
Power Device>



김 종 민
2010년 고려대학교 전기전자공학과
학사 졸업.
2010년~현재 고려대학교 전기전자
공학과 통합 과정.
<주관심분야 : Power Device,
Compound Semiconductor>



경 신 수
2006년 고려대학교 전기전기공학과
학사 졸업.
2009년 고려대학교 전기전자공학과
석사 졸업.
2013년~ 현재 고려대학교 전기전
자공학과 박사 과정.
현재 Power Cube Semiconductor
Co. 연구소장
<주관심분야 : Power Device, Silicon Carbide
Device>



성 만 영

1975년 고려대학교 전기공학과
학사 졸업.

1977년 고려대학교 전기공학과
석사 졸업.

1981년 고려대학교 전기공학과
박사 졸업.

1986년 ~ 1988년 UIUC,
Associate Professor

1991년 Royal Institute of Technology(Sweden)
Visiting Scientist

1997년 ~ 1998년 UIUC, Visiting Professor

1989년 ~ 현재 고려대학교 전기전자공학과 교수
〈주관심분야 : Power Device & IC, Compound
Semiconductor〉