

모바일 SoC 응용을 위한 다중 분할 스위칭 기반의 고효율 저잡음 PWM DC-DC buck 변환기

(A High-Efficiency Low-Noise PWM DC-DC Buck Converter Based on Multi-Partition Switching for Mobile SoC Applications)

안테지, 이승훈^a

서강대학교 전자공학과

Tai-Ji An, Seung-Hoon Lee

Department of Electronic Engineering, Sogang University, Seoul 121-742, Korea

E-mail : hoonlee@sogang.ac.kr

요약 - 본 논문에서는 모바일 SoC 응용을 위해 다상 스위칭 기법을 적용한 고효율 저잡음 PWM DC-DC buck 변환기를 제안한다. 제안하는 DC-DC buck 변환기에 적용된 다상 스위칭 기법은 출력단 트랜지스터의 고속 스위칭 동작에 의해 발생하는 기판 잡음 및 출력전압의 오버슈트 및 언더슈트와 같은 글리치 잡음을 최소화하기 위하여, 출력단 트랜지스터를 몇 개의 쌍으로 나누어서 순차적으로 스위칭 동작을 하도록 하였다. 또한 큰 출력전류에서 전력변환효율을 최적화하기 위하여 2MHz의 스위칭 주파수를 가지는 PWM 제어방식을 사용하였으며, Type-3 보상 기법을 적용하여 전체 루프가 충분한 위상여유를 가지도록 하였다. 제안하는 DC-DC 변환기는 0.18 μ m BCD 공정을 사용하여 제작되었으며 0.28mm²의 면적을 차지한다. 시제품 DC-DC 변환기는 1.8V의 출력전압에서 200mA의 출력전류를 구동할 때 최대 93%의 전력변환효율을 가지며, 각각 0.04%/V와 0.11%/A의 line regulation 및 load regulation을 가진다.

Abstract - This work presents a high-efficiency low-noise PWM DC-DC buck converter based on a multi-partition switching for mobile SoC applications. The proposed DC-DC buck converter employs a multi-partition switching technique, which sequentially switches the output circuits in a properly divided interval to minimize the glitch noise of output voltages, such as overshoot and undershoot caused by high-frequency switching operation. In addition, the proposed DC-DC buck converter adopts a PWM control with a switching frequency of 2MHz to optimize power efficiency at a large output load current and Type-3 compensation circuits to achieve a enough phase margin. The prototype DC-DC buck converter with an active die area of 0.28mm² was implemented using a 0.18 μ m BCD process. The power efficiency shows 93% while supplying an output current of

200mA and an output voltage of 1.8V. The measured line regulation and load regulation are 0.04%/V and 0.11%/A, respectively.

Keywords : DC-DC 변환기, 스위칭 변환기, 고효율, 저 잡음, 모바일 SoC

I. 서론

최근 스마트 폰, 스마트패드 및 포터블 PC와 같은 모바일 기기는 대용량 멀티미디어 기능이 요구되고 있으며 그로 인해 내장 배터리 용량의 증가 및 사용 효율의 향상이 중요한 화두가 되고 있다. 특히 배터리가 제공하는 한정된 전력을 얼마나 효율적으로 사용할 수 있게 하는지와 단일 배터리 전압으로부터 멀티미디어 기능 블록들이 요구하는 다양한 구동 전압을 얼마나 효율적으로 전달할 수 있는지에 관한 이슈가 부각되면서 power management integrated circuit (PMIC)에 대한 관심이 급격히 증가하고 있다[1-7].

한편, 반도체 공정 및 회로설계 기술의 발달로 각종 기능 블록들을 하나의 칩에 집적하는 system-on-a-chip (SoC)에 대한 연구가 활발히 진행되고 있으며, 최근에는 그림 1과 같이 각종 기능 블록 이외에도 그 블록들을 구동하는 PMIC 역시 SoC에 집적하려는 노력들이 저명 저널 및 학회논문에 발표되고 있다[8,9]. 이와 같은 PMIC는 전압생성 방법에 따라 linear regulator와 스위칭 DC-DC 변환기로 분류되며, 각 기능 블록이 요구하는 전원특성에 따라 선택적으로 사용된다.

a. Corresponding author: hoonlee@sogang.ac.kr

먼저, linear regulator는 입력전압을 부궤환 증폭기를 사용하여 단순히 전압만을 강하시켜 전원을 공급하며, 잡음성분이 작으나 전압이 강하되는 만큼 전력변환 효율이 감소하게 된다. 다음으로, 스위칭 DC-DC 변환기는 트랜지스터의 스위칭 동작과 인덕터 및 커패시터 조합으로 구성된 필터를 통해 출력전압을 생성하며, 전력변환효율이 매우 크지만 스위칭 동작에 의한 잡음성분이 큰 단점을 가진다. 이와 같은 스위칭 변환기를 SoC에 집적할 경우 높은 전력변환효율을 통해 한정된 배터리의 전력을 효율적으로 사용할 수 있는 장점이 있으나, 스위칭으로 인해 발생된 잡음이 같이 집적되는 민감한 기능 블록의 성능을 감소시키는 단점을 가진다.

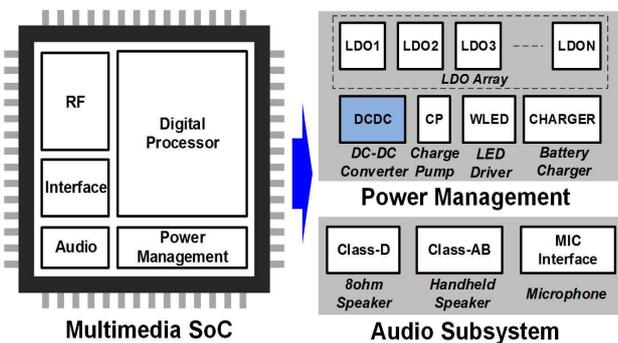


그림 1. PMIC를 집적하는 SoC의 블록도.
Fig. 1. Block diagram of SoC with PMIC.

이와 같은 스위칭 DC-DC 변환기는 입력전압과 출력전압의 관계에 따라 3가지로 나뉘게 되며, 입력 전압보다 높은 출력전압을 만들어 주는 boost 변환기, 입력전압보다 낮은 출력전압을 만들어 주는 buck 변환기, 그리고 입력전압보다 높거나 낮은 출력전압을 모두 만들어 주는 buck-boost 변환기가 있다. 특히, 나노미터 CMOS 공정의 발달로 각종 멀티미디어 기능 블록들은 낮아진 전원전압을 사용하게 되며, 이에 따라 높은 배터리 전압을 나노미터 CMOS 공정의 저전압 소자들이 사용하는 낮은 전원전압으로 만들어 주는 DC-DC buck 변환기가 가장 많이 사용되고 있다[10,11].

본 논문에서는 모바일 SoC에 스위칭 DC-DC 변환기를 집적하여 한정된 배터리 전력을 효율적으로 사용하면서도 민감한 각종 아날로그 기능 블록에 간섭을 최소화하기 위한 설계기법인 다중 분할 스위칭 기법 (multi-partition switching technique)을 제안한다. 또한 나노미터 CMOS 공정의 발달로 낮아진 전

원전압을 구동하기 위하여 buck 구조의 변환기를 선택하였으며, 큰 출력전류를 구동할 때 pulse frequency modulation (PFM) 제어에 비해 높은 전력변환효율을 가지는 pulse width modulation (PWM) 제어를 사용하였다[12,13].

제안하는 PWM DC-DC buck 변환기의 전체 구조 및 각 블록별 기능을 II장 본문에서 간략히 설명하며, 제안하는 여러 가지 회로 설계 기법들을 요약한다. III장에서는 제안하는 DC-DC 변환기 시제품의 측정 결과를 정리한 후, IV장에서 결론을 맺는다.

II. 본 론

1. 제안하는 DC-DC 변환기의 전체 구조

제안하는 DC-DC buck 변환기는 큰 전류구동을 위하여 PWM 제어를 사용하였으며 전체 구조는 그림 2와 같이 PWM 제어블록, 전체 제어블록, 기준 전류 및 전압 생성회로 (IVREF), 다중 분할 스위칭 기법 기반의 출력단 회로, 그리고 LC 필터로 구성된다.

제안하는 DC-DC 변환기는 모바일 기기에서 가장 많이 사용하는 Li-ion 배터리의 2.7V에서 4.2V로 변화하는 전압을 입력으로 받아 1.0V에서 1.8V의 낮은 전압을 출력하는 buck 구조로써 최대 1.0A의 높은 전류를 구동하기 위하여 PWM 제어 방식을 사용하였다[14,15]. 한편 높은 전력변환효율을 위하여 작은 온-저항을 가지는 출력단 트랜지스터 high-side switch (HSS)와 low-side switch (LSS)는 상당한 크기를 가지며, 이런 출력단 트랜지스터가 스위칭 동작을 할 시 매우 큰 기판 잡음 및 출력 전압의 오버슈트 (overshoot) 및 언더슈트 (undershoot)와 같은 글리치 (glitch) 잡음 등이 발생하게 된다. 따라서 본 논문에서는 제안하는 다중 분할 스위칭 기법을 적용하여 DC-DC 변환기의 스위칭 동작에서 발생하는 각종 잡음 성분들을 최소화하였다. 또한 출력단 트랜지스터를 구동하는 구동회로 역시 상당한 크기를 가지며, 역시 마찬가지로 큰 스위칭 잡음을 기판으로 인가하게 된다. 이를 최소화하기 위하여 출력단 구동 회로에는 PMOS 트랜지스터와 NMOS 트랜지스터가 동시에 켜지지 않도록 간단한 타이밍 회로를 추가하였다. 마지막으로 인덕터와 커패시터로 구성된 LC 필터의 이중 극점 의해 감소하는 위상여유를 확보하

기 위하여 Type-3 보상회로를 추가하여 안정된 출력전압을 얻도록 하였다[16,17]. 시제품 DC-DC 변환기는 0.18 μm BCD 공정의 5.0V 소자만을 사용하여 제작되었으며, 0.28mm²의 작은 면적을 차지한다.

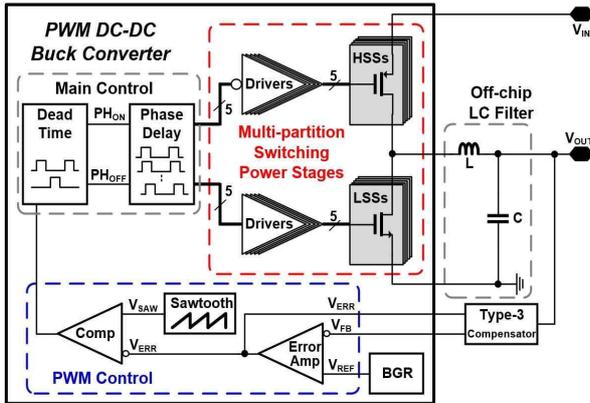


그림 2. 제안하는 PWM DC-DC buck 변환기.
Fig. 2. Proposed PWM DC-DC buck converter.

2. 스위칭 잡음을 최소화하는 다중 분할 스위칭 기법

모바일 응용에 사용되는 PMIC들은 한정된 배터리 전력을 효율적으로 사용해야 하므로 높은 전력변환효율을 가져야한다. 이처럼 높은 전력변환효율을 위하여 스위칭 DC-DC 변환기의 출력 단 트랜지스터는 작은 온-저항을 가지는 큰 면적의 HSS 및 LSS와 함께 PWM제어 방식을 적용하였다[18,19]. 이와 같은 큰 크기의 트랜지스터가 고속으로 스위칭하는 경우, 그림 3과 같이 SoC 집적 시 기판으로 큰 잡음이 인가되며, 동시에 출력전압에는 오버슈트 및 언더슈트와 같은 큰 글리치 잡음들이 발생하게 된다. 이는 같이 집적되는 민감한 아날로그 블록에 오동작을 야기하게 되며, 동시에 스위칭 DC-DC 변환기의 출력전압은 아날로그 블록의 전원전압으로는 부적합하게 된다.

먼저, 그림 3(a)는 단일 n-well CMOS 공정에서 기판으로 인가되는 잡음을 보여주고 있다. 일반적으로 LSS는 NMOS 트랜지스터로 구현이 되며 낮은 전압 쪽에 주로 연결이 된다. 이때 NMOS 트랜지스터의 기판과의 접합 기생 커패시턴스 성분인 $C_{sb,n}$ 과 $C_{db,n}$ 을 통하여 스위칭 잡음이 기판으로 인가되며, LSS가 커짐에 따라 전달되는 잡음도 증가한다. 특히, 모든 NMOS 트랜지스터가 하나의 기판을 공유하는 단일 n-well CMOS 공정에서 인가되는 스위

칭 잡음은 같이 집적되는 민감한 아날로그 블록의 오동작을 야기하게 된다. 반면에 PMOS 트랜지스터로 구현되는 HSS의 경우 서로 다른 n-well 위에 집적이 가능하므로 LSS에 비해 다소 작은 잡음을 기판으로 인가하게 된다.

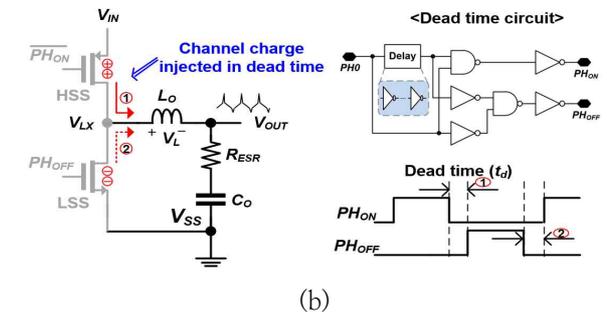
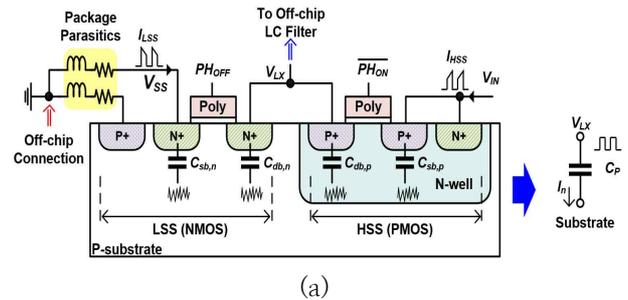


그림 3. DC-DC buck 변환기에서의 스위칭 잡음, (a) 기판 잡음, (b) 출력 글리치.

Fig. 3. Switching noises in DC-DC buck converter, (a) substrate noise, (b) output glitches.

다음으로 그림3(b)는 출력 단 스위치의 동작 중 사구간 (dead time)에서 발생하는 채널 전하 주입 현상에 의한 출력전압 글리치를 보여주고 있다. 예를 들어 HSS가 꺼지고 LSS가 켜지기 전인 1번 사구간에서 LX 노드는 플로팅 상태가 되며, 이때 HSS의 채널 정공이 LX로 인가되어 인덕터의 양단 전압이 증가하여 순간적으로 출력전압에 상승 글리치가 발생한다. 마찬가지로 2번 사구간의 경우 LSS로부터 채널 전하가 주입되어 출력전압에 하강 글리치가 발생하지만, 일반적으로 LSS는 HSS에 비해서 작은 크기를 가지므로 그에 따라 인가되는 채널 전하가 작으며 이에 따른 출력전압 글리치가 작은 경향이 있다.

이와 같은 스위칭 잡음들은 출력 단 스위치의 크기에 따라 증가하게 되며, 증가된 잡음들은 DC-DC 변환기의 출력전압을 사용하는 전체 시스템과 변환기 자체의 신뢰성 문제를 발생시키고 이를 해결하기 위해 추가적인 평탄 필터 (smoothing filter)가 요구된다. 또는 출력 단 트랜지스터의 크기를 감소시키는 방법이 있으나, 온-저항이 증가하여 전체 변환기의 효율을 감

소시킴으로 좋은 해결책이 될 수 없다. 따라서 본 논문에서는 추가적인 평탄 필터와 변환효율의 감소 없이 스위칭 잡음의 크기를 감소시키기 위하여 그림 4와 같은 다중 분할 스위칭 기법을 제안하였다. 제안하는 다중 분할 스위칭 기법은 그림 4와 같이 출력 단 트랜지스터 쌍을 여러 단으로 나누어 각각의 트랜지스터 쌍을 순차적으로 스위칭시켜 출력 단 회로의 스위칭 동작에 의해 발생하는 큰 기판 잡음, 오버슈트 및 언더슈트와 같은 글리치 잡음 성분들을 최소화하여 SoC 응용 시 민감한 아날로그 블록에 미치는 간섭을 방지하였다. 제안하는 다중 분할 스위칭 기법은 buck 변환기 이외에도 boost 변환기, buck-boost 변환기, 그리고 class-D 증폭기와 같은 다양한 스위칭 변환기에 적용이 가능하다.

제안하는 다중 분할 스위칭 기법의 동작을 살펴보면 PWM 제어부로부터 전달된 펄스를 입력으로 받아들이는 사구간 제어 회로에서 겹치지 않는 펄스인 PH_{ON}과 PH_{OFF}의 펄스를 생성한다. 이 겹치지 않는 펄스 PH_{ON}과 PH_{OFF}는 다시 다중 분할 펄스 생성회로로 입력되어 일정한 지연시간을 가지는 각각 5개의 펄스 PH_{ON}<4:0> 및 PH_{OFF}<4:0>를 출력한다. 이 때 5개의 총 지연시간의 합은 PH_{ON}과 PH_{OFF}의 겹치지 않는 시간인 D-time0 보다 작아야 HSS와 LSS가 동시에 켜지지 않아 큰 short circuit 전류 발생을 방지 할 수 있다. 다중 분할 펄스 생성회로는 그림 5와 같이 인버터의 시간지연을 간단하게 사용하여 구현하였다.

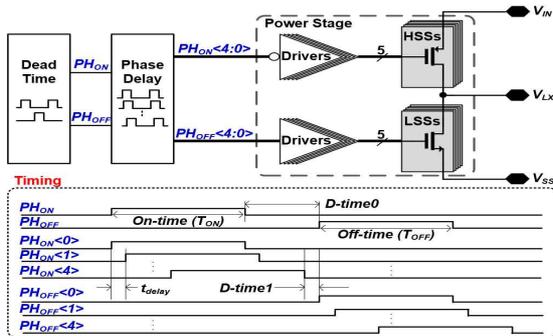


그림 4. 제안하는 출력 다중 분할 스위칭 기법.
Fig. 4. Proposed output multi-partition switching technique.

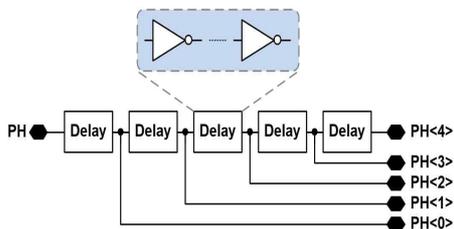


그림 5. 다중 분할 펄스 생성회로
Fig. 5. Multi-partition pulse generating circuits.

한편, 각 펄스의 지연시간이 길어지고 스위치를 나누는 개수가 증가할수록 스위칭 잡음 성분이 감소할 수 있으나, 추가적인 구동회로와 그에 따른 전력이 소모된다. 따라서 본 논문에서는 worst case 및 post-layout 시뮬레이션을 통해 전체 DC-DC 변환기의 전력변환 효율을 고려하여 지연시간은 1ns, 지연 스위치 개수는 5개로 설계하였다.

일반적으로 스위칭 DC-DC 변환기의 손실은 전도 손실, 스위칭 손실, 그리고 고정 손실로 나누어진다. 제안하는 스위칭 기법의 경우 기존의 스위칭 기법과 동일한 제어 블록 및 전체 스위치 크기를 가지기 때문에 동일한 스위칭 손실 및 고정 손실을 가진다. 하지만, 제안하는 스위칭 기법은 그림 6에서 보이는 바와 같이 전도손실을 발생시키는 스위치의 온-저항이 시간에 따라 변화하여 전체 변환기의 효율에 영향을 끼치게 된다. 즉, 그림 5의 회로에서 생성되는 지연시간이 길어질 경우 전도손실을 일으키는 등가 기생저항 성분이 증가하여 전체 변환기의 효율이 감소하게 된다. 따라서 본 설계에서는 제안하는 스위칭 기법에 따른 전도 손실의 증가를 고려하여 최대 지연시간을 제한하였다.

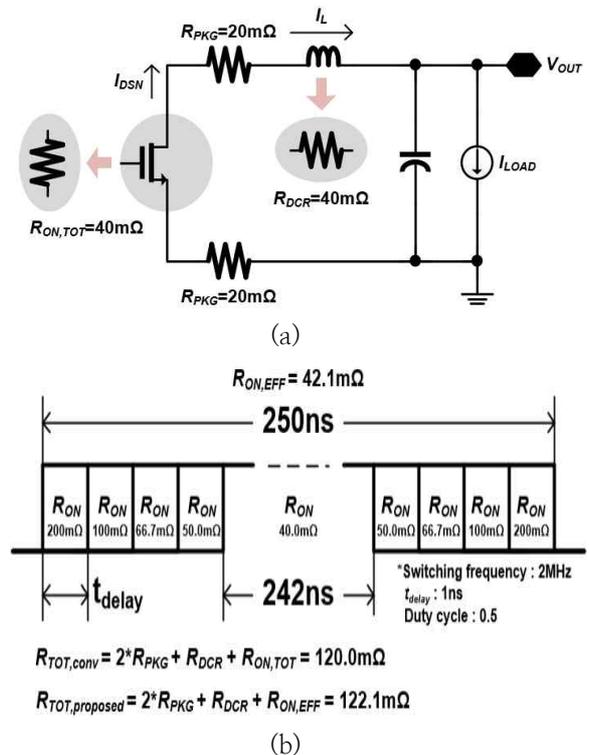


그림 6. 제안하는 스위칭 기법에서의 전도 손실, (a) Off-time에 서의 출력단 회로, (b) LSS 경로의 기생저항
Fig. 6. Conduction loss in proposed switching technique.(a) power stage loss circuit in off-time; (b) parasitic resistance analysis of LSS path.

3. 겹치지 않는 타이밍의 출력 단 구동회로

높은 전력변환효율을 위하여 매우 큰 크기를 가지는 출력 단 트랜지스터를 2MHz의 높은 주파수로 스위칭 시키기 위해서는 충분한 크기의 구동회로가 필요하다. 출력 단 트랜지스터 HSS 및 LSS는 90%이상의 높은 전력변환효율을 얻기 위하여 각각 120mΩ과 40mΩ으로 설계하였다. 두 트랜지스터 HSS와 LSS의 width/length는 모두 65800μm/0.5μm의 큰 크기를 가지며, 이를 구동하기 위하여 그림 7과 같은 구동회로를 사용하였다[19]. 이때 HSS와 LSS를 2MHz의 주파수로 스위칭 시키는 구동회로의 MP4와 MN4 역시 상당한 크기를 가지며, 두 트랜지스터가 동시에 켜질 경우 기판 및 배터리로 큰 잡음을 인가하게 된다. 따라서 MP4와 MN4를 제어하는 타이밍에 약간의 겹치지 않는 타이밍을 두어 두 트랜지스터가 동시에 켜지는 것을 방지하여 스위칭 잡음을 최소화하였다.

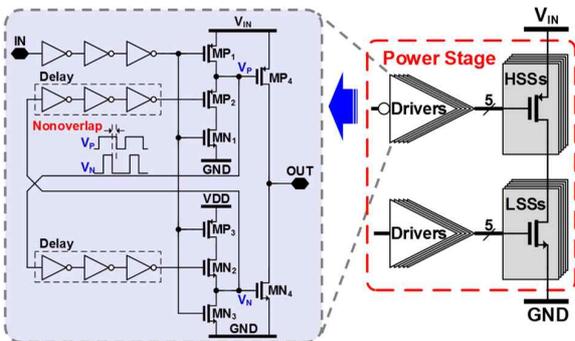


그림 7. Short circuit 전류를 최소화하는 출력단 구동회로
Fig. 7. Power stage driver to minimize short circuit current.

4. 높은 전력변환효율을 위한 PWM 제어

스위칭 DC-DC 변환기는 제어 방식에 따라서 PWM 제어 방식과 PFM 방식으로 나뉘게 되며, 구동해야 하는 출력전류의 양 및 응용에 따라 선택적으로 사용된다. 일반적으로, PWM 제어 방식은 PFM 방식에 비해 큰 출력전류를 구동 시 높은 전력변환효율을 가지는 장점을 가진다. 따라서 본 시제품에서는 최근 대용량 멀티미디어 기능으로 인해 큰 출력전류를 요구하는 최근 추세에 따라 PWM 제어 방식을 사용하여 큰 출력전류 구동 성능에도 높은 전력변환효율을 가지도록 하였다[22,23]. 이와 같은 PWM 제어를 위해서는 톱니파가 필수적으로 요구되며,

본 설계에서는 그림 8과 같은 자가 발진 톱니파 발생기를 사용하였다.

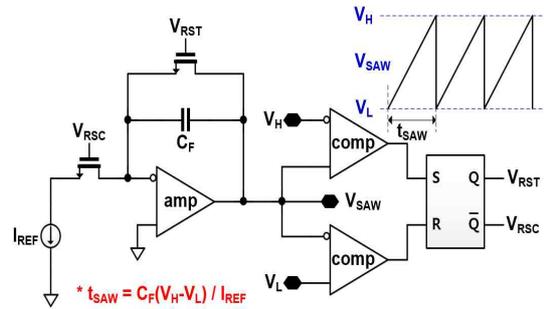


그림 8. 자가 발진 톱니파 발생기
Fig. 8. Self-oscillating sawtooth waveform generator.

사용한 그림 8의 톱니파 발생회로의 동작을 살펴보면 톱니파 출력전압 V_{SAW} 가 V_L 전압보다 크고 V_H 전압보다 작으면 V_{RSC} 신호가 high가 되어 V_{SAW} 전압을 시간에 대해 선형적으로 증가시키게 된다. 이후 V_{SAW} 전압이 차츰 증가하다가 V_H 전압보다 크게 되면 V_{RST} 전압이 high가 되고, V_{RSC} 전압이 low가 되어 V_{SAW} 전압은 reset이 되어 급격히 감소하게 된다. 감소한 V_{SAW} 전압이 V_L 보다 작아지게 되면, 다시 V_{RSC} 전압이 high가 되고, V_{RST} 전압이 low가 되어 V_{SAW} 전압이 증가한다. 이 때 톱니파 발생기의 발진 주파수는 식 (1)과 같이 피드백 커패시터 C_F , 기준전류 I_{REF} , 그리고 V_H 전압과 V_L 전압의 차이에 의해서 결정이 된다.

$$f_{SAW} = \frac{I_{REF}}{C_F(V_H - V_L)} \quad (1)$$

5. 위상여유 확보를 위한 Type-3 보상회로

제안하는 DC-DC 변환기는 LC 필터의 이중 극점에 의해 감소한 위상여유로 인한 시스템의 불안정 문제를 해결하기 위하여 그림 9와 같은 Type-3의 보상회로를 사용하였다. 사용된 Type-3 보상회로의 전달함수는 식 (2)와 같으며, 본 설계에서는 교차주파수를 스위칭 주파수의 10%인 200kHz로 설정하였기 때문에 보상회로의 2개의 영점을 50kHz에 위치시켜 최종적으로 전체 DC-DC 변환기의 루프가 50.0° 이상의 위상여유를 가지도록 하였다

[20,21]. 사용된 오프-칩 보상회로의 소자 값들은 표 1에 나타내었다.

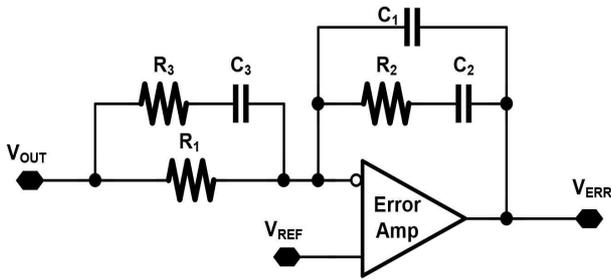


그림 9. 높은 위상 여유를 위한 Type-3 보상회로
Fig. 9. Type-3 compensation circuits for high phase margin.

$$T(s) = \frac{1}{sR_1(C_1 + C_2)} \frac{(1 + sR_2C_2)[1 + s(R_1 + R_3)C_3]}{(1 + sR_3C_3)[1 + sR_2(\frac{C_1C_2}{C_1 + C_2})]} \quad (2)$$

표 1. 오프-칩 보상회로에 사용된 소자
Table 1. Component Values of Off-Chip Compensator

V _{OUT} (V)	1.0	1.8
R ₁ (kΩ)	60	220
R ₂ (kΩ)	60	220
R ₃ (kΩ)	2.6	9.5
C ₁ (pF)	2.4	0.5
C ₂ (pF)	51	15
C ₃ (pF)	51	15

III. 실험 결과 및 고찰

제안하는 PWM DC-DC buck 변환기는 0.18μm BCD 공정을 사용하여 제작하였으며, 시제품 DC-DC 변환기의 전체 칩 사진은 그림 10과 같고 0.28mm²의 작은 면적을 차지한다. 시제품 DC-DC 변환기는 높은 전력변환효율을 위해 출력단 트랜지스터 HSS와 LSS가 차지하는 면적은 0.17mm² 수준이며 전체 면적의 절반 이상을 차지한다.

제안하는 DC-DC 변환기의 LC 필터는 그림 11과 같이 칩 외부에서 구현하였으며, 높은 전력변환효율과 작은 출력 전압 리플을 위하여 작은 equivalent series resistance (ESR)을 가지는 20.0μF의 커패시터와 작은 dc resistance (DCR)을 가지는 1.0μH의 인덕터를 사용하였다.

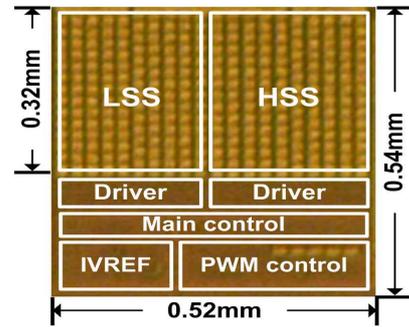


그림 10. 시제품 DC-DC 변환기의 칩 사진
Fig. 10. Die photo of prototype DC-DC converter.

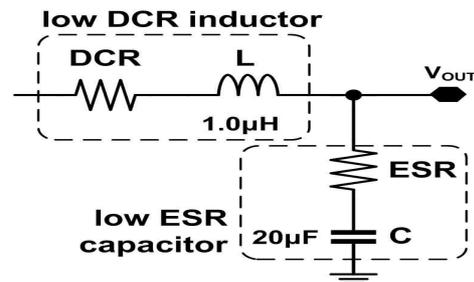


그림 11. 오프-칩 LC filter의 회로도
Fig. 11. Off-chip LC filter

시제품 DC-DC 변환기의 측정된 출력 파형을 그림 12에 나타내었으며, 제안하는 다중 분할 스위칭 기법을 적용했을 때와 적용하지 않았을 때의 파형을 비교하였다. 먼저, 그림 12(a)는 변환기가 1.0V의 전압을 출력할 때의 파형이며 다중 분할 스위칭 기법을 적용하지 않았을 때는 16mV 수준의 글리치 전압을 가지나, 제안하는 다중 분할 스위칭 기법을 적용할 시 글리치 전압이 8mV로서 절반 수준으로 감소하는 것을 확인 할 수 있다. 다음으로, 그림 12(b)는 변환기가 1.8V의 전압을 출력할 때의 파형으로써 마찬가지로 다중 분할 스위칭 기법을 적용할 시 글리치 전압이 절반 수준으로 감소하였다. 이와 같이 변환기는 최대 출력 전압 1.8V와 최소 출력 전압 1.0V 일 때 모두 제안하는 다중 분할 스위칭 기법을 적용할 시 글리치 전압이 절반 수준으로 감소하는 것을 확인하였다.

제안하는 시제품 DC-DC 변환기의 측정된 전력변환효율을 그림 13에 나타내었다. 먼저, 그림 13(a)는 DC-DC 변환기에 각각 2.7V, 3.6V, 4.2V의 전압을 입력으로 가하고 1.0V의 전압을 출력할 때, 출력전류를 0.1A에서 최대 1.0A까지 증가시킬 때의 측정된 전력변환효율을 나타낸다. 이 때 변환기는 최대 88.0%의 높은 변환효율을 가지며 0.6A의 출력전류까지 80.0% 이상의 변환효율로 1.0V의 전압을 출력한다. 다음으로, 그림 13(b)는 1.8V의 전압을 출력할 때, 출력전류를 증가시키에 따른 전력변환효율을 나타내며 최대 93.0%의 높은 변환효율을 가진다.

또한 출력전류가 1.0A로 증가할 때 까지 80.0%이상의 변환효율을 유지하는 것을 확인 할 수 있다. 위의 측정 결과에서 출력전류가 1.0V일 때 변환효율이 1.8V일 때보다 감소하는 원인은 동일한 전류를 구동할 때 DC-DC 변환기 자체에서 소모하는 전력은 일정하나 출력의 전력이 감소한 출력전압만큼 작아지기 때문이다.

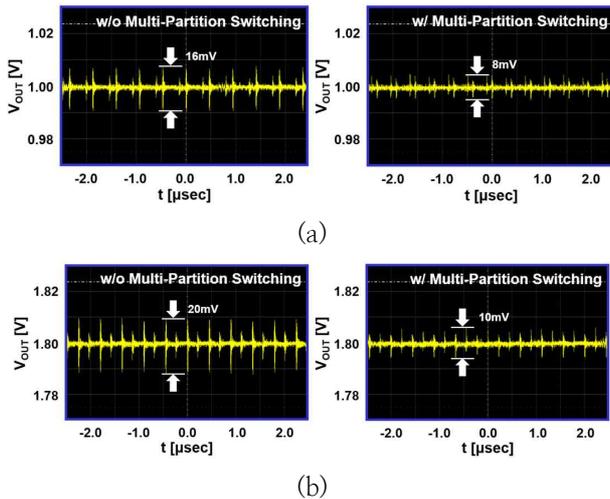


그림 12. 시제품 DC-DC 변환기의 측정된 출력 파형, (a) $V_{OUT} = 1.0V$, (b) $V_{OUT} = 1.8V$
 Fig. 12. Measured output waveform of prototype DC-DC converter. (a) $V_{OUT} = 1.0V$, (b) $V_{OUT} = 1.8V$

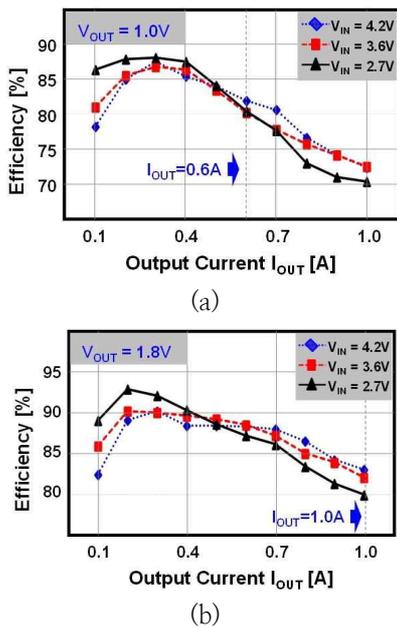


그림 13. 시제품 DC-DC 변환기의 측정된 변환 효율, (a) $V_{OUT} = 1.0V$, (b) $V_{OUT} = 1.8V$.
 Fig. 13. Measured power efficiency of prototype DC-DC converter as function of output current (a) $V_{OUT} = 1.0V$, (b) $V_{OUT} = 1.8V$.

측정된 시제품 DC-DC 변환기의 성능을 표 2에 요약했으며, line regulation 및 load regulation은 각각

0.04%/V 와 0.11%/A 수준을 나타낸다. 변환기는 2MHz의 고정된 스위칭 주파수를 가지며, 최대 1A의 출력전류를 구동한다. 제안하는 다중 분할 스위칭 기법 적용 시 시제품 DC-DC 변환기는 출력전압의 글리치 잡음이 절반 수준으로 감소하였다.

최근 학회 및 저널을 통해 발표된 off-chip LC 필터를 사용한 DC-DC buck 변환기의 성능을 표 3에 비교 및 정리하였다. 시제품 DC-DC 변환기는 면적 및 전력변환효율을 최적화하기 위하여 HSS 및 LSS의 크기를 동일하게 사용하였다. 일반적으로 HSS는 LSS에 비해서 2배 이상의 큰 면적을 차지하나, 본 설계에서는 duty ratio, 스위칭 손실, 그리고 전도 손실을 고려하여 두 스위치의 크기를 동일하게 하였다. 그 결과, 전력변환효율 및 면적 측면에서 기존의 발표된 논문의 DC-DC 변환기에 비해 경쟁력이 있는 것을 확인할 수 있다.

표 2. 시제품 DC-DC 변환기의 성능 요약
 Table 2. Performance summary of prototype DC-DC converter.

V_{IN} (V)	2.7~4.2
V_{OUT} (V)	1.0~1.8
Switching freq. (MHz)	2.0
Max. I_{OUT} (A)	1.0
Max. eff. (%)	93.0
Line regulation (%/V)	0.04
Load regulation (%/A)	0.11
Process	0.18μm BCD
Active die area (mm ²)	0.28 (0.52mm x 0.54mm)

IV. 결론

본 논문에서는 주로 모바일 SoC 응용을 위하여 높은 전력변환효율과 작은 스위칭 잡음을 가지는 PWM DC-DC buck 변환기를 제안하며, 고효율 및 저잡음 성능 만족을 위해 다음과 같은 설계 기법들을 제안하였다.

첫째, 제안하는 DC-DC 변환기는 다중 분할 스위칭 기법을 적용하여 출력전압의 글리치 잡음 및 각종 스위칭 잡음을 최소화하였다. 둘째, 높은 전력변환효율을 위하여 큰 크기를 가지는 출력단 트랜지스터 HSS와 LSS를 구동하기 위하여 구동회로에는 약간의 겹치지 않는 타이밍을 사용하여 구동회로에서 발생하는 스위

칭 잡음을 최소화하였다. 셋째, PWM 제어 방식을 사용하여 1A의 높은 출력전류를 구동하며, 최대 93%의 높은 전력변환효율을 가진다. 넷째, LC 필터의 이중 극점에 의해 감소하는 위상여유를 보상하기 위하여 Type-3의 보상회로를 적용하여 DC-DC 변환기가 안정적으로 동작하도록 하였다.

제안하는 설계기법을 적용하여 구현한 시제품 DC-DC 변환기는 0.18 μ m BCD 공정으로 제작되었으며, 칩 면적은 0.28mm²를 차지한다. 측정된 line regulation 및 load regulation은 각각 0.04%/V와 0.11%/A 수준을 나타낸다. 변환기는 2MHz의 고정된 스위칭 주파수를 가지며, 최대 1A의 출력전류를 구동한다. 시제품 DC-DC 변환기는 최대 93%의 변환효율을 가지며, 제안하는 다중 분할 스위칭 기법 적용 시 출력전압의 글리치 잡음이 절반 수준으로 감소하였다.

표 3. 최근 발표된 논문들과 시제품 DC-DC 변환기의 성능 비교

Table 3. Comparison of recently reported DC-DC buck converters.

	[1]	[4]	[7]	[14]	[17]	This work
V _{IN} (V)	2.4 ~4.8	3.0 ~5.2	2.4 ~3.6	2.8 ~4.2	2.5 ~3.5	2.7 ~4.2
V _{OUT} (V)	1.8	<V _{IN} -0.2	0.7 ~3.3	0.4 ~1.2	0.8 ~2.4	1.0 ~1.8
Switch freq. (MHz)	3.2	0.3 ~1.0	0.2 ~2.0	2.0	1.0	2.0
Max. I _{OUT} (A)	2.00	0.45	1.05	.	0.60	1.00
Max. eff. (%)	89.0 @V _O =1.8 V	89.5 @V _O =2.0 V	96.3 (n/a)	87.2 @V _O =1.0 V	97.0 @V _O =2.4 V	93.0 @V _O =1.8 V
Process	0.13 μ m	0.6 μ m	0.35 μ m	45 nm	0.35 μ m	0.18 μ m
Die area (mm ²)	0.73	2.87	0.97	.	1.38	0.28

REFERENCES

[1] B. Labbe, B. Allard, X. Lin-Shi, and D. Chesneau, "An integrated sliding-mode buck converter with switching frequency control for battery-powered applications," *IEEE Trans. Power Electron.*, vol. 28, no. 9, pp. 4318-4326, Sept. 2013.

[2] H. Wang, Y. Ma, and J. Cheng, "Soft-start method with small capacitor charged by pulse current and gain-degeneration error amplifier for on-chip DC-DC power converters," *IEEE Trans. VLSI Syst.*, vol. 21, no. 8, pp. 1447-1453, Aug. 2013.

[3] J. Chen, P. Shen, and Y. Hwang, "A high-efficiency positive buck-boost converter with mode-select circuit and feed-forward techniques," *IEEE Trans. Power Electron.*, vol. 28, no. 9, pp. 4240-4247, Sept. 2013.

[4] C. F. Lee and P. K. T. Mok, "A monolithic current-mode CMOS DC-DC converter with on-chip current-sensing technique," *IEEE J. Solid-State Circuits*, vol. 39, no. 1, pp. 3-14, Jan. 2004.

[5] C. Wei, C. Chen, K. Wu, and I. Ko, "Design of an average-current-mode noninverting buck-boost DC-DC converter with reduced switching and conduction losses," *IEEE Trans. Power Electron.*, vol. 27, no. 12, pp. 4934-4943, Dec. 2012.

[6] Y. Lee, *et al.*, "Power-tracking embedded buck-boost converter with fast dynamic voltage scaling for the SoC system," *IEEE Trans. Power Electron.*, vol. 27, no. 3, pp. 1271-1282, Mar. 2012.

[7] J. Liu, P. Wang, and T. Kuo, "A current-mode DC-DC buck converter with efficiency-optimized frequency control and reconfigurable compensation," *IEEE Trans. Power Electron.*, vol. 27, no. 2, pp. 869-880, Feb. 2012.

[8] A. J. D'Souza, *et al.*, "A fully integrated power-management solution for a 65nm CMOS cellular handset chip," *Proc. ISSCC*, pp. 382-384, San Francisco, U.S.A., Feb. 2011.

[9] C. Shi, B. C. Walker, E. Zeisel, B. Y. Hu, and G. H. McAllister, "A highly integrated power management IC for advanced mobile applications," *IEEE J. Solid-State Circuits*, vol. 42, no. 8, pp. 1723-1731, Aug. 2007.

[10] C. Y. Leung, P. K. T. Mok, K. N. Leung, and M. Chan, "An integrated CMOS current-sensing circuit for low-voltage current-mode buck regulator," *IEEE Trans. Circuits Syst. II*, vol. 52, no.

7, pp. 394-397, July 2005.

[11] M. Wens and M. Steyaert, "A fully-integrated 0.18 μm CMOS DC-DC step-down converter, using a bondwire spiral inductor," in *Proc. CICC*, pp.17-20, San Jose, U.S.A., Sept. 2008.

[12] B. Sahu and G. A. Rincon-Mora, "A high-efficiency, dual-mode, dynamic, buck-boost power supply IC for portable applications," *Proc. VLSID*, pp. 858-861, Kolkata, India, Jan. 2005.

[13] B. Lehman and R. M. Bass, "Switching frequency dependent averaged models for PWM DC-DC converters," *IEEE Trans. Power Electron.*, vol. 11, no. 1, pp. 89-98, Jan. 1996.

[14] S. Bandyopadhyay, Y. K. Ramadass, and A. P. Chandrakasan, "20 μA to 100 mA DC-DC converter with 2.8-4.2 V battery supply for portable applications in 45 nm CMOS," *IEEE J. Solid-State Circuits*, vol. 46, no. 12, pp. 2807-2820, Dec. 2011.

[15] W. Liou, M. Yeh, and Y. L. Kuo, "A high efficiency dual-mode buck converter IC for portable applications," *IEEE Trans. Power Electron.*, vol. 23, no. 2, pp. 667-677, Mar. 2008.

[16] B. and G. A. Rincon-Mora, "A low voltage, dynamic, noninverting, synchronous buck-boost converter for portable applications," *IEEE Trans. Power Electron.*, vol. 19, no. 2, pp. 443-452, Mar. 2004.

[17] P. Y. Wu, S. Y. S. Tsui, and P. K. T. Mok, "Area- and power-efficient monolithic buck converters with pseudo-type III compensation," *IEEE J. Solid-State Circuits*, vol. 45, no. 8, pp. 1446-1455, Aug. 2010.

[18] S. Bandyopadhyay, Y. K. Ramadass, and A. P. Chandrakasan, "20 μA to 100 mA DC-DC converter with 2.8-4.2 V battery supply for portable applications in 45 nm CMOS," *IEEE J. Solid-State Circuits*, vol. 46, no. 12, pp. 2807-2820, Dec. 2011.

[19] W. Liou, M. Yeh, and Y. L. Kuo, "A high efficiency dual-mode buck converter IC for portable applications," *IEEE Trans. Power Electron.*, vol. 23, no. 2, pp. 667-677, Mar. 2008.

[20] B. Sahu and G. A. Rincon-Mora, "A low voltage, dynamic, noninverting, synchronous buck-boost converter for portable applications," *IEEE Trans. Power Electron.*, vol. 19, no. 2, pp. 443-452, Mar. 2004.

[21] P. Y. Wu, S. Y. S. Tsui, and P. K. T. Mok, "Area- and power-efficient monolithic buck converters with pseudo-type III compensation," *IEEE J. Solid-State Circuits*, vol. 45, no. 8, pp. 1446-1455, Aug. 2010.

[22] B. Sahu and G. A. Rincon-Mora, "A high-efficiency, dual-mode, dynamic, buck-boost power supply IC for portable applications," *Proc. VLSID*, pp. 858-861, Kolkata, India, Jan. 2005.

[23] B. Lehman and R. M. Bass, "Switching frequency dependent averaged models for PWM DC-DC converters," *IEEE Trans. Power Electron.*, vol. 11, no. 1, pp. 89-98, Jan. 1996.



안태지

2007년 서울시립대학교 전자전기 컴퓨터공학부 학사 졸업
 2007년 ~ 2011년 록센테크놀로지.
 2013년 서강대학교 전자공학과 석사 졸업
 2013년 ~ 현재 서강대학교 전자공학과 박사과정 수료 중
 <주관심분야 : 고속 고해상도 데이터 변환기(A/D, D/A) 설계, 파워 IC 설계 등>



이승훈

1984년 서울대학교 전자공학과 학사 졸업
 1986년 서울대학교 전자공학과 석사 졸업
 1991년 미 Illinois대 (Urbana-Champaign)공학박사 졸업
 1987년 ~ 1990년 미 Coordinated Science Lab (Urbana)연구원.
 1990년 ~ 1993년 미 Analog Devices 책임연구원.
 1993년 ~ 현재 서강대학교 전자공학과 교수.
 <주관심분야 : 집적회로 설계, 데이터 변환기(A/D, D/A)설계 등>