

재구성 가능한 전하 샘플러 기반 고차 시간상 이동평균 필터의 구현 및 검증

(Design and Verification of Reconfigurable Charge Sampler- Based High-Order Temporal Moving-Average Filter)

권순재, 조성훈, 유형준^a

KAIST, 전기 및 전자공학부 및 모바일센서 IT 융합센터

Soon-Jae Kweon, Sung-Hun Jo, and Hyung-Joun Yoo^a

The School of Electrical Engineering and Mobile Sensors and IT Convergence Center (MOSAIC), KAIST

E-mail : hjyoo53@kaist.ac.kr

요약 - 재구성 가능한 전하 샘플러 기반 고차 시간상 이동평균 필터의 설계 및 검증을 수행하였다. 설계된 필터는 시간상 이동평균 방법을 이용함으로써 기존의 방식을 이용한 이동평균 필터에 비하여 큰 이득을 가지며, 다양한 크기(N) 및 차수(M)의 이동평균 기능을 지원한다. 이 필터는 샘플링 주파수뿐만 아니라, N 과 M 을 이용해서도 주파수 응답 특성을 조절할 수 있고, N 과 M 은 클럭 패턴의 변화만으로 쉽게 조절되기 때문에 설계된 필터는 여러 모드를 지원하는 수신기에 적합하다. 설계된 필터는 전류 소모량을 최소화하기 위하여 반전기 기반 가변 트랜스컨덕턴스 증폭기들을 이용하였다. 65-nm CMOS 공정을 이용하여 $N=2$, $M=3$ 과 $N=3$, $M=2$ 인 이동평균을 지원하는 시간상 이동평균 필터를 설계 제작하였으며, 위의 특성들을 검증하였다.

high-order temporal moving-average (MA) filter is designed and verified. Compared to conventional MA filters, the designed filter has a higher gain by using temporal MA method. In addition, the filter is able to support variable MA sizes and MA orders. Frequency response of the filter can be controlled by changing not only the sampling frequency but also the MA size (N) and MA order (M). Since the N and M are easily controlled by changing the clock patterns, the filter is suitable for multimode receivers. This filter adopts inverter-based transconductance amplifiers in order to minimize current consumption. To verify above characteristics, a temporal MA filter that supports MA operations of ($N=2$, $M=3$) and ($N=3$, $M=2$) is fabricated using 65-nm CMOS technology.

Abstract - A reconfigurable charge sampler-based

I. 서론

최근, 하나의 무선통신 수신기가 여러 개의 통신 표준을 지원함에 따라, 무선통신 수신기는 다양한 캐리어 주파수와 채널 대역폭을 지원해야 한다. 전하 샘플러 기반 수신기들은 이러한 다양한 캐리어 주파

a. Corresponding author; hjyoo53@kaist.ac.kr

수와 채널 대역폭을 지원하기 위해 제안되었다 [1-5]. 예를 들어, [1]에서는 아날로그 믹서 및 아날로그 필터를 전하 샘플러로 대체한 GSM, Bluetooth용 수신기가 제안되었으며, [2]에서는 전하 샘플러로 저대역 아날로그 필터를 대체하는 GSM, WCDMA, WLAN용 수신기가 제안되었다. 또한, 최근에는 단일 통신 표준임에도 불구하고 1.4 MHz에서 20 MHz까지 다양한 채널 대역폭을 사용하는 LTE를 지원하기 위한 전하 샘플러 기반 저대역 필터들도 제안되었다 [4, 5]. 전하 샘플러 기반 수신기들에서는 주파수 변환 폭과 필터의 대역폭이 샘플링 주파수(f_s)에 의해 결정되기 때문에 쉽게 넓은 변화폭을 가질 수 있다.

이동평균(moving average, MA)은 전하 샘플러 기반 필터의 가장 간단한 기능 중의 하나이며, 주파수 응답 상에서 여러 개의 널(null)들이 발생된다. 고차 MA 필터는 널들의 대역폭을 넓히기 위하여 이용되며, 널들의 대역폭이 넓어짐으로써 고차 MA 필터의 안티-에일리어싱 특성과 필터링 특성이 일차 MA 필터에 비하여 우수해진다. 고차 MA 필터는 구현하는 방법에 따라 공간상 MA(SMA) 필터, 종속 접속식 MA(CMA) 필터, 시간상 MA(TMA) 필터로 나눌 수 있다 [6]. 기존의 고차 MA 필터들은 주로 공간상 또는 종속 접속(cascaded connection) 방식들을 이용하여 구현되었다 [2-5]. 그러나 이 필터들은 MA 크기(N) 및 차수(M)가 증가함에 따라 설계에 필요한 샘플링 커패시터들의 수가 급격히 증가하며, 하나의 샘플링 커패시터에 축적되는 전하량의 감소에 의하여 필터의 이득이 급격히 감소한다. 이러한 점들을 극복하기 위하여, 고차 시간상 MA 필터들이 제안되었다 [6-8].

한편, MA 필터의 N 과 M 은 적절한 샘플 간 가중

가중치는 가변 트랜스컨덕턴스 증폭기의 트랜스컨덕턴스를 통하여 조절된다. 기존 필터와 다르게 샘플 간 가중치가 샘플링 커패시터의 개수와 관련이 없기 때문에 위의 문제점들을 개선할 수 있다. 가장 먼저 제안된 고차 TMA 필터는 N 과 데시메이션 비율(D)이 정수 배 관계를 갖지 않기 때문에 에일리어싱 문제가 발생하였다 [7]. 이를 개선하여 N 과 D 가 일치하는 고차 TMA 필터가 제안되었다 [8]. 그러나, 고정된 트랜스컨덕턴스에 의해 N 과 M 의 조절이 어렵고, 가변 트랜스컨덕턴스 증폭기가 큰 전류를 소모하는 단점을 가진다.

우리는 기존의 고차 TMA 필터가 가진 에일리어싱 문제를 해결하며, N 과 M 의 조절을 통해 높은 재구성성을 가지는 새로운 고차 TMA 필터를 제안한다 [6]. 본 논문에서는 제안된 필터에 대해, 이전 논문에 비해 세부적인 검증 과정을 수행한다. 제안된 고차 TMA 필터는 기존의 방식을 이용한 MA 필터에 비하여 높은 이득을 가진다. 또한, 이 필터는 샘플링 커패시터의 개수를 최소화하면서 클락 패턴의 변화만으로 다양한 N 과 M 을 지원한다. 샘플링 주파수뿐만 아니라 N 과 M 의 값의 변화를 통하여 필터링 특성을 조절할 수 있기 때문에 기존의 필터에 비하여 우수한 재구성성을 가진다. 이러한 특성을 검증하기 위해 하드웨어의 변화 없이 $N=2, M=3$ 인 MA와 $N=3, M=2$ 인 MA 동작을 지원하는 TMA 필터를 65-nm CMOS 공정으로 제작하였다. 전류 소모량을 최소화하기 위하여 반전기(inverter) 기반 트랜스컨덕턴스 증폭기를 이용하였다.

II. 본 론

1. 재구성 가능한 고차 시간상 MA 필터

가. 기본 특성

전하 샘플러 기반 MA- N^M 필터의 주파수 응답은 전하가 샘플링 커패시터에 축적되는 창문형 적분 (windowed integration)을 통해 식 (1)의 sinc 함수를 포함한다 [3]. 고차 MA는 MA- N^M 로 표현하였다.

$$H_{WT}(f) = \frac{g_m T_w}{C_s} \left| \frac{\sin(\pi f T_w)}{\pi f T_w} \right| \quad (1)$$

여기서 T_w 는 창문형 적분이 수행되는 시간을 의미하며, sinc 주파수 응답에서는 $1/T_w$ 의 정수배에 널이 발생한다. T_w 는 최대 $T_s(=1/f_s)$ 내에서 조절된다. g_m 과 C_s 는 트랜스컨덕턴스 증폭기(TA)의 트랜스컨덕턴스와 샘플링 커패시터의 커패시턴스를 의미한다.

한편, MA- N^M 동작은 이산시간 영역에서 수행되며, 주파수 응답은 식 (2)와 같다.

$$H_{MA}(z) = \left(\sum_{k=0}^{N-1} z^{-k} \right)^M = \left(\frac{1-z^{-N}}{1-z^{-1}} \right)^M \quad (2)$$

식 (2)에 따르면, 0부터 f_s 영역 내에서 f_s/M 마다 널들이 발생하고, 이 널들의 대역폭은 M 에 의하여 결정된다. 한편, MA- N^M 동작이 이산 시간 영역에서 동작하기 때문에, 0부터 f_s 까지의 주파수 응답은 f_s 마다 반복된다. 전하 샘플러 기반 MA- N^M 필터의 주파수 응답은 식 (1)과 (2)의 곱으로 표현된다.

MA- N^M 필터를 구현하기 위해서는 적절한 샘플 간 가중치가 필요하며, MA- N 필터의 샘플 간 가중치를 컨볼루션(convolution) 연산하여 얻을 수 있다 [3]. 예를 들어, 두 개의 연속되는 샘플을 평균 연산하는 MA-2 필터의 샘플 간 가중치는 {1,1}이며,

MA-2³ 필터의 샘플 간 가중치는 {1,1}을 두 번 컨볼루션 연산한 {1,3,3,1}이다. 같은 방법을 이용하면, MA-3 필터의 샘플 간 가중치는 {1,1,1}이며, MA-3² 필터의 샘플 간 가중치는 {1,2,3,2,1}이다.

SMA- N^M 필터는 샘플링 커패시터들의 병렬연결을 이용하여 샘플 간 가중치를 결정한다. CMA- N^M 필터는 $D=1$ 인 $M-1$ 개의 SMA- N 필터와 최종 단계 D 가 N 의 약수인 하나의 SMA- N 필터를 종속 접속하여 구성한다. TMA- N^M 필터는 TA의 g_m 을 매 T_s 마다 조절하여 샘플 간 가중치를 결정한다.

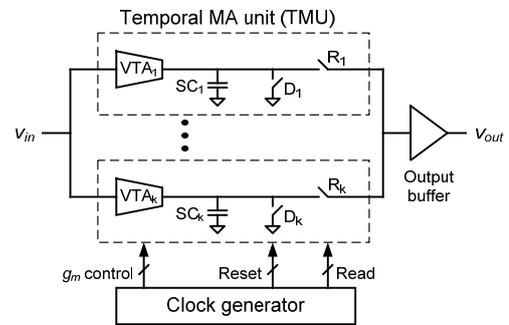


그림 1. 재구성 가능한 TMA- N^M 필터의 블록도
Fig. 1. Block diagram of the reconfigurable TMA- N^M filter

나. 재구성 가능한 TMA- N^M 필터의 구조

그림 1은 재구성 가능한 TMA- N^M 필터의 블록도이다. 이 필터는 k 개의 temporal MA unit(TMU)와 하나의 클럭 생성기(clock generator)로 구성된다. 각 TMU는 가변 TA(VTA), 샘플링 커패시터(SC), 읽기 스위치(R), 방전 스위치(D)로 구성된다.

샘플 간 가중치를 조절하기 위하여 VTA의 g_m 은 매 T_s 마다 조절된다. 예를 들어, TMA-2³ 필터를 구현하기 위하여 VTA의 g_m 은 T_1 부터 T_4 의 시간동안 1:3:3:1의 비율로 조절된다. 가중치가 적용되어 하나의 샘플링 커패시터에 축적된 전하들은 T_5 동안 전압값으로 읽히지며, 다음 MA-2³ 동작을 위하여 T_6 동

안 축적되어있던 전하가 방전된다. 결과적으로 $6T_s$ 마다 한 번의 읽기 동작이 수행되기 때문에 하나의 TMU를 통해 얻어지는 D 는 6이다. N 이 D 의 정수 배를 가지기 위하여 D 는 1 또는 2 중의 하나로 설정되어야 한다. D 가 1 또는 2를 가지기 위하여 TMU의 개수는 6 또는 3으로 증가된다. 식 (3)은 $MA-N^M$ 필터가 임의의 D 를 가지기 위해 필요한 k 를 나타낸다.

$$k = \left\lceil \frac{N_W + 2}{D} \right\rceil = \left\lceil \frac{M(N-1)+3}{D} \right\rceil \quad (3)$$

한 번의 $MA-N^M$ 동작은 $(N_W+2)T_s$ 의 시간을 필요로 한다. 여기서, $2T_s$ 는 읽기와 방전 동작을 수행하는 시간이며, 가중치가 적용되어야 하는 샘플 수(N_W)는 $(M-1)(N-1)+N$ 이다. $D \cdot T_s$ 마다 읽기 동작을 수행해야 하기 때문에 $(N_W+2)T_s$ 를 $D \cdot T_s$ 로 나누어준 후, 정수 값을 얻기 위하여 올림 연산을 하면 k 값을 얻을 수 있다. $D=2$ 인 $MA-2^3$ 과 $D=3$ 인 $MA-3^2$ 에 대한 k 는 3으로 동일하기 때문에 3개의 TMU를 이용하여 위의 $MA-2^3$ 과 $MA-3^2$ 을 지원할 수 있다.

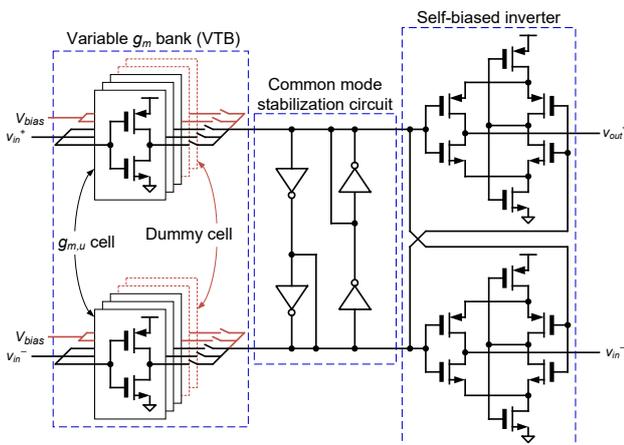


그림 2. 설계된 VTA의 회로도
Fig. 2. Schematic of the designed VTA

한편, g_m 은 $g_{m,u}$ 부터 $n \cdot g_{m,u}$ 까지 $g_{m,u}$ 의 정수 배 단위로 조절된다. $g_{m,u}$ 는 단위 g_m 을 의미하고, n 은 샘플 간 가중치의 최대 값을 의미한다. $MA-2^3$ 과 $MA-3^2$ 을 구현하기 위한 n 은 3으로 동일하기 때문에 설계된 VTA의 g_m 은 $g_{m,u}$ 부터 $3g_{m,u}$ 까지 조절할 수 있다.

다. 회로 설계

그림 2는 설계된 VTA의 회로도이다. VTA는 가변 g_m 뱅크(VTB)와 공통 모드 안정화 회로(common mode stabilization circuit)와 자가 바이어스 안정화 반전기(self-biased inverter)로 구성된다.

VTB는 n 개의 $g_{m,u}$ 셀과 $n-1$ 개의 더미 셀로 구성된다. 각각의 셀은 하나의 반전기와 하나의 스위치로 구성된다. 한편, 차동으로 구성된 VTB의 g_m 은 식 (4)와 같다 [9].

$$g_{m,VTB} = (V_{DD} - V_m + V_{tp}) \sqrt{\beta_n \beta_p} \quad (4)$$

병렬 연결되는 $g_{m,u}$ 셀의 개수와 β_n 과 β_p 가 비례하기 때문에 $g_{m,VTB}$ 는 병렬 연결되는 $g_{m,u}$ 셀의 개수와 비례한다. 더미 셀들은 매 T_s 마다 병렬 연결되는 셀의 개수를 일정하게 유지하여 VTB가 일정한 출력 임피던스를 가지도록 하며, 이로 인해 샘플 간 가중치를 정확히 인가하는 데에 도움을 준다. $MA-2^3$ 과 $MA-3^2$ 을 구현하기 위한 n 이 3이기 때문에 설계된 VTB는 3 개의 $g_{m,u}$ 셀과 2 개의 더미 셀을 이용하였으며, 항상 3 개의 셀이 병렬로 연결된다. 예를 들어, $MA-2^3$ 필터는 1 개의 $g_{m,u}$ 셀과 2 개의 더미 셀이 T_1 동안 연결되고, 3 개의 $g_{m,u}$ 셀이 T_2 와 T_3 동안 연결된다.

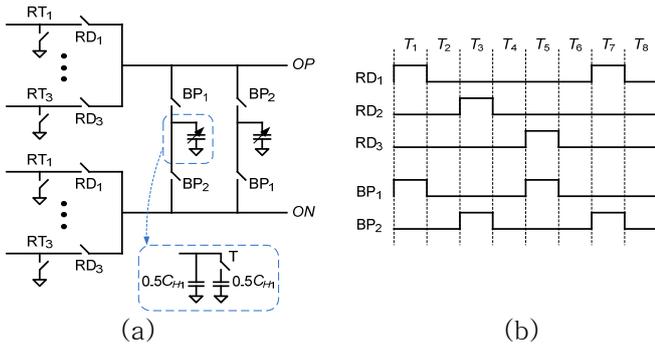


그림 3. BPIIR 필터의 (a) 회로도 (b) MA-2³을 위한 클락
Fig. 3. (a) Schematic and (b) clocks for MA-2³ of BPIIR filter

한편, VTB를 구성하는 반전기의 불안정한 출력 전압은 공통모드 안정화 회로에 의해 안정된다. 자가 바이어스 안정화 반전기는 뒷 단에 안정적인 바이어스 전압을 공급하면서 VTA의 출력 임피던스의 감소를 미리 방지한다. 이 반전기는 트라이오드(triode) 영역에서 동작하는 트랜지스터들을 통해 안정화된 출력 바이어스 전압을 가진다 [10]. 또한, 이 반전기는 셀의 병렬 연결에 의해 출력 임피던스가 감소할 수 있는 VTB를 대신하여 최종 단에 위치함으로써 VTA의 출력 임피던스를 높게 유지한다. VTA의 출력 임피던스가 높을수록 창문형 적분에 의한 널이 깊어지므로 필터의 안티-에일리어싱 특성과 주파수 응답 특성이 향상된다.

설계된 필터는 대역폭 내에서 평탄함을 얻기 위하여 대역 통과 무한 응답(bandpass infinite impulse response, BPIIR) 필터를 이용한다 [11]. 그림 3(a)는 BPIIR 필터의 회로도이며, 주파수 응답은 식 (5)와 같다.

$$H_{BPIIR}(z) = \frac{1 - \alpha}{1 + \alpha z^{-1}} \quad (5)$$

BPIIR 필터의 주파수 응답은 $m \cdot f_{s,out}$ 부터 $(m+1) \cdot f_{s,out}$ 까지의 주파수 영역에서 대역 통과 특성을 가진다. $f_{s,out}$ 은 $1/(D \cdot T_s)$ 와 같으며, α 는 $C_H/(C_H + C_S)$ 로 정

의된다. C_H 는 히스토리 커패시터의 커패시턴스이다. 히스토리 커패시터는 1/2과 1/3의 α 값을 지원하기 위하여 두 커패시터로 나누어 구현되었다. 그림 3(b)는 MA-2³의 BPIIR 필터에 이용되는 클락 신호들을 나타낸다. 읽기 동작은 $D \cdot T_s$ 마다 한 번씩 수행되며, BPIIR 필터는 샘플링 커패시터에 저장되어 있는 현재 출력과 히스토리 커패시터에 저장되어 있던 이전 출력의 부호가 반대로 유지되어야 하므로 $2D$ 개의 위상을 가진 클락들을 이용하여 동작된다.

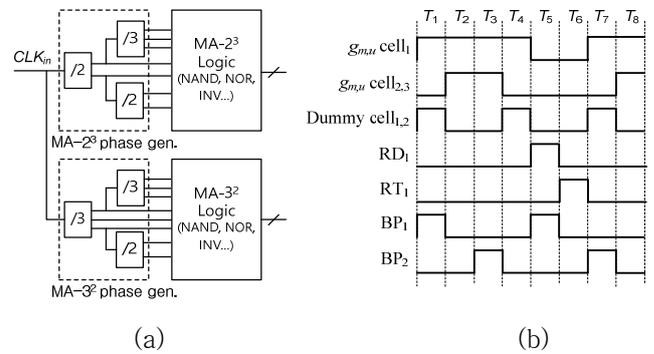


그림 4. 클락 생성기의 (a) 블록도와 (b) 클락
Fig. 4. (a) Block diagram and (b) clocks for clock generator

클락 생성기는 4, 6, 9 개의 위상 기반의 클락을 생성한다. 설계된 MA-2³은 6 위상 클락을 기반으로 동작하며, 설계된 MA-3²은 9 위상 클락을 기반으로 동작한다. $D=2$ 와 $D=3$ 을 지원하는 BPIIR은 4, 6 위상 클락을 기반으로 동작한다. 그림 4(a)는 클락 생성기의 블록도이며, MA-2³과 MA-3²을 위한 클락 생성부가 독립적으로 구성되었다. 각 클락 생성부는 위상 생성기(phase generator)와 로직(logic)으로 구성되며, 로직은 그림 4(b)처럼 $g_{m,u}$ 셀과 더미 셀에 이용되는 다양한 클락을 만들기 위하여 사용된다.

III. 실험

위의 특성들을 검증하기 위해서 65-nm CMOS 공

정을 이용하여 $N=D$ 관계를 가지는 $TMA-2^3/3^2$ 필터를 제작하였다. 제작된 필터는 1.2 V의 공급 전압을 이용하며, 측정용 버퍼는 설계된 필터의 선형성에 영향을 주지 않도록 1.8 V 공급 전압을 이용한다.

1. 주파수 응답

MA-2³과 MA-3²의 주파수 응답들은 그림 5(a)와 그림 5(b)와 같다. 주파수 응답 측정은 60 Ms/s의 f_s 를 이용하였다.

그림 5(a)의 30 MHz 근처에 발생된 널은 MA-2³에 의하여 발생한다. 이 널의 깊이는 이론적으로 무한대이지만, 실제 측정된 널의 깊이는 유한하며, 6-MHz만큼 떨어진 두 개의 노치(notch)들로 분리된다. 이러한 현상은 $\{1,3,3,1\}$ 의 샘플 간 가중치가 $\{1,\beta,\beta,1\}$ 로 부정확해지기 때문에 발생하며, β 는 식 (6)으로 표현된다 [12].

$$\beta = 1 + 2 \cos(\pi \Delta f_d / f_s) \quad (6)$$

식 (6)에 $\Delta f_d=6$ MHz, $f_s=60$ Ms/s를 대입하면, β 는 2.9가 얻어진다. 널의 대역폭을 감쇄 특성이 40 dB인 지점에서의 대역폭으로 정의하면, 널의 대역폭은 이론적인 결과와 유사하다.

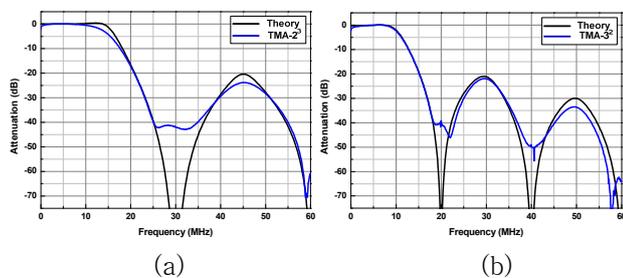


그림 5. (a) MA-2³과 (b) MA-3²의 주파수 응답
Fig. 5. Frequency responses of (a) MA-2³ and (b) MA-3²

한편, 그림 5의 60 MHz 근처에 발생된 널들은 창문형 적분에 의하여 발생하며, VTA의 유한한 출력 임피던스에 의하여 유한한 널 깊이를 가진다.

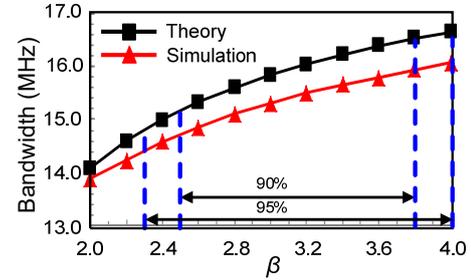


그림 6. β 에 따른 3-dB 대역폭의 변화
Fig. 6. Variations of 3-dB bandwidth according to β

그림 6은 β 값에 따른 3-dB 대역폭의 변화를 나타낸다. $\beta=2.9$ 일 때, MA-2³의 3-dB 대역폭은 이론적으로 15.8 MHz이지만, 시뮬레이션된 대역폭과 측정된 대역폭은 15.2 MHz와 14.1 MHz로 설계 전 예측에 비하여 감소하였다. 이는 그림 3(a)의 스위치 T 의 영향으로 예상된다. $a=1/2$ 로 BPIIR을 동작시키기 위하여 T 가 켜졌을 때 스위치 T 는 저항 성분을 가지며, 정해진 시간 동안 히스토리 커패시터에 충전되는 전하량은 감소한다. 이는 유효한 a 값이 감소함을 의미하며, 3-dB 대역폭이 감소된다. 한편, MA-3²의 경우, BPIIR의 a 값은 $1/3$ 이며, 스위치 T 가 켜지지 않는다. 즉, 위 스위치의 저항 영향이 존재하지 않기 때문에 그림 5(b)에 표현된 두 그래프 사이의 3-dB 대역폭들은 큰 차이가 없다. 한편, Monte Carlo 시뮬레이션 결과에 따르면, 5×10^4 개의 회로 중 95%는 식 (6)의 β 값이 2.3에서 4까지 가짐을 알 수 있었으며, 이 때 3-dB 대역폭은 이론적으로 1.9 MHz, 시뮬레이션 상으로 1.7 MHz까지 변동될 수 있다.

2. 이득 특성

TMA- N^M 필터의 이득(G_{TMA})은 창문형 적분 과정에서 발생하는 전하 샘플러의 이득(G_C), MA- N^M 동작에서 발생하는 이득(G_{MA}), 데시메이션 동작에서 발생하는 이득(G_D)의 곱으로 표현된다. G_C 는 식 (7)과 같이 표현되며, 여기서 γ 는 T_w 와 T_s 의 관계를 나타내는 변수이다.

$$G_C = \frac{g_{m,u}T_w}{C_s} = \frac{g_{m,u}\gamma T_s}{C_s} \quad (7)$$

한편, TMA- N^M 필터는 TA의 $g_{m,u}$ 를 가중치만큼 정수배하면서 하나의 샘플링 커패시터에 전하를 축적하기 때문에, G_{MA} 은 샘플 간 가중치의 총 합인 N^M 과 같다. 마지막으로, 데시메이션은 입력 신호와 식 (8)로 표현되는 이산 시간 임펄스 배열의 컨볼루션 연산을 의미한다 [13].

$$P(n) = \frac{1}{D} \sum_{k=0}^{D-1} (e^{j2\pi kn/D}) \quad (8)$$

식 (8)의 시그마 연산 결과가 1이므로 G_D 는 $1/D$ 이다. G_C , G_{MA} , G_D 를 이용하면, G_{TMA} 는 식 (9)와 같다.

$$G_{TMA} = G_C G_{MA} G_D = \frac{N^M}{D} \frac{g_{m,u}\gamma T_s}{C_s} \quad (9)$$

그림 7은 $g_{m,u}=0.24$ mS, $f_s=60$ Ms/s, $C_s=4$ pF, $\gamma=1$ 일 때, TMA- $2^3/3^2$ 필터의 이득을 정리한 그래프이다. 그래프의 이론적인 이득(theoretical gain)은 식(9)를 이용하여 계산하였으며, 6 dB의 차동 이득과 BPIIR 필터, 출력 버퍼에 의한 9.5 dB, 2.4 dB의 이득 손실을 반영하여 계산하였다. 이론적인 이득과 시뮬레이션을 통한 이득(simulated gain) 사이에는 0.8 dB의 오차가 발생하였다. BPIIR에 의하여 발생할 수

있는 대역폭 내의 리플은 약 0.5 dB이며, 이 리플이 0.8 dB의 오차의 주요 원인이라고 추정할 수 있다. 시뮬레이션을 통한 이득과 측정된 이득(measured gain) 사이의 오차는 2.0 dB와 2.2 dB로 나타났으며, 칩 제작 과정에서 발생한 기생 커패시턴스 성분에 의하여 발생한 것으로 추정된다. 기생 커패시턴스 성분이 클수록 식(9)의 분모 성분이 증가되며, 이득 감소가 발생한다.

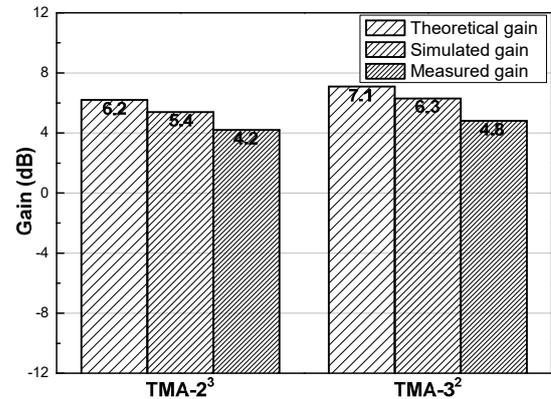


그림 7. TMA- $2^3/3^2$ 필터의 이득 성능
Fig. 7. Gain performance of TMA- $2^3/3^2$ filter

3. 선형성

그림 8은 4.5 MHz와 5.5 MHz의 두 입력 신호를 이용한 MA- 2^3 동작에서의 IIP3(input third order intercept point) 측정 결과이다. 3차 비선형성에 의해 발생하는 3.5 MHz의 출력 신호(IM3)와 4.5 MHz의 입력 신호(fundamental tone)에 대한 추세선(trend line)들을 이용하면 MA- 2^3 동작의 IIP3는 -19 dBm이다. 동일 조건에서 MA- 3^2 를 수행하였을 때, IIP3는 -17 dBm으로 측정되었다.

표 1은 TMA- $2^3/3^2$ 필터의 IIP3와 1-dB 이득 압축점(1-dB gain compression point, P_{1dB})을 정리한 결과이다. 표 1의 VTA 시뮬레이션 결과(VTA simulation)는 VTA가 최대 g_m 인 $3g_{m,u}$ 를 가질 때의

IIP3와 P_{1dB} 를 의미한다. 식 (9) 중 $g_{m,u}$ 를 제외한 값들은 입력 신호의 크기와 연관이 없기 때문에 TMA- N^M 필터의 IIP3와 P_{1dB} 는 VTA의 최대 g_m 상태에서의 IIP3와 P_{1dB} 와 같다. 그러나, 그림 7에 따르면, 이론, 시뮬레이션, 측정 사이에 이득 오차가 발생하였으며, 이와 유사한 범위에서 선형성의 오차도 발생하였다. 예를 들어, 시뮬레이션을 통한 이득과 측정된 이득 사이에 2.0dB, 2.2dB의 오차가 발생하였으며, 선형성 오차도 1-3 dB만큼 발생하였다.

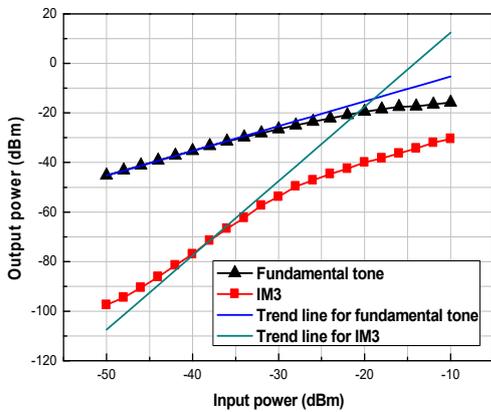


그림 8. 측정된 MA- 2^3 동작에서의 IIP3
Fig. 8. Measured IIP3 for MA- 2^3 operation

표 1. TMA- $2^3/3^2$ filter의 IIP3와 P_{1dB} 결과
Table 1. IIP3 and P_{1dB} results of TMA- $2^3/3^2$ filter

		VTA sim.	MA sim.	MA mea.
IIP3 (dBm)	MA- 2^3	-21	-20	-19
	MA- 3^2	-21	-19	-17
P_{1dB} (dBm)	MA- 2^3	-35	-34	-31
	MA- 3^2	-35	-33	-30

4. 성능 요약 및 비교

설계 방법에 따른 성능 비교를 위해서 동일한 CMOS 공정과 공급 전압을 이용하여 SMA- 2^3 필터와 CMA- 2^3 필터를 설계하였다. SMA- 2^3 는 실제 제

작된 chip으로 측정하였으며, CMA- 2^3 필터는 시뮬레이션을 수행하였다. 각 필터의 구현에 이용된 샘플링 커패시터들의 총 커패시턴스는 12 pF로 동일하며, 각 필터에 이용된 $g_{m,u}$ 도 0.24 mS로 동일하다. 그림 9는 제작된 SMA- 2^3 필터와 TMA- $2^3/3^2$ 필터의 칩 사진들을 보여준다. 각 필터에 사용된 총 샘플링 커패시터의 크기가 동일하기 때문에, TA와 샘플링 커패시터를 포함하는 필터의 코어 사이즈는 유사하다. 사용된 총 커패시턴스가 같을 때, TMA- $2^3/3^2$ 필터는 다른 두 필터에 비하여 높은 이득을 가진다. 단, 가중치를 인가하기 위하여 높은 g_m 을 이용하기 때문에 높은 전류 소모량과 낮은 선형성 특성을 가진다. 추가적으로, SMA- 2^3 필터의 선형성 특성이 CMA- 2^3 필터에 비하여 우수하지만, 이는 측정과 시뮬레이션 사이의 오차로 볼 수 있다. 측정된 SMA- 2^3 필터의 이득이 시뮬레이션을 통한 이득에 비하여 2.6 dB 감소됨에 따라 선형성이 3 dB 높아지는 결과가 측정되었다. 이론적으로, TA의 선형성이 전하 샘플러 기반 MA 필터의 선형성을 결정하기 때문에, 동일 TA를 사용한 두 필터의 선형성은 같다.

표 2. 성능 요약 및 비교

Table 2. Performance summary and comparisons

	SMA- 2^3	TMA- 2^3	CMA- 2^3
Process (nm)	65	65	65
Supply	1.2/1.8	1.2/1.8	1.2/1.8
Current (μ A)	126	433	81
Bandwidth (MHz)	15.5	14.1	14.8
Gain (dB)	-8.2	4.2	-10.9
IIP3 (dBm)	-9.0	-19.0	-12.0
Core size (mm ²)	0.13	0.15	-
Remark	Mea.	Mea.	Sim.

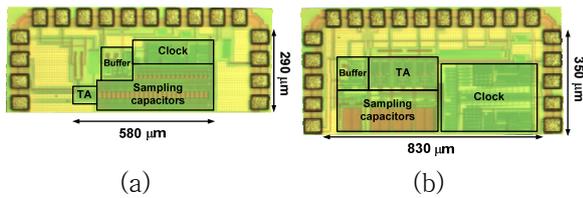


그림 9. (a) SMA- 2^3 필터와 (b) TMA- $2^3/3^2$ 필터의 칩 사진

Fig. 9. Chip photos of (a) SMA- 2^3 filter and (b) TMA- $2^3/3^2$ filter

IV. 결론

본 논문에서는 N 과 M 의 조절을 통하여 주파수 응답 특성이 조절되는 고차 TMA 필터를 설계하고, 세 부적으로 검증하였다. 설계된 고차 TMA 필터는 기존의 방식을 이용한 MA 필터에 비하여 높은 이득을 가진다. 또한, 이 필터는 샘플링 커패시터의 개수를 최소화하면서 클럭 패턴의 변화만으로 다양한 N 과 M 의 MA 기능을 지원한다. 즉, 샘플링 주파수뿐만 아니라 N 과 M 을 이용해서도 주파수 응답 특성을 조절할 수 있기 때문에 높은 재구성성을 가진다. 65-nm CMOS 공정을 이용하여 제작된 필터는 하드웨어의 변화 없이 $N=2, M=3$ 인 MA와 $N=3, M=2$ 인 MA 동작을 지원한다. 전류 소모량을 최소화하기 위하여 반전기 기반 TA를 이용하였다.

참고 문헌

[1] Y. C. Ho *et al.*, "Charge-domain signal processing of direct RF sampling mixer with discrete-time filters in Bluetooth and GSM receivers," *EURASIP J. Wireless Commun. Netw.*, vol. 2006, no. 2, pp. 1–14, April 2006.
 [2] T. Sano *et al.*, "A 1.8 mm², 11 mA, 23.2 dB NF, discrete-time filter for GSM/WCDMA/WLAN using retiming technique," in *Proc. IEEE CICC*, pp. 703–706, San Jose, USA, Sep.. 2007.

[3] R. Bagheri *et al.*, "An 800-MHz–6-GHz software-defined wireless receiver in 90 nm CMOS," *IEEE J. Solid-State Circuits*, vol. 41, no. 12, pp. 2860–2876, Dec. 2006.
 [4] S. -H. Shin *et al.*, "A 0.7-MHz–10-MHz CT+DT hybrid baseband chain with improved passband flatness for LTE application," *IEEE Trans. on Circuits and Sys. I*, vol. 62, no. 1, pp. 244–253, Jan. 2015.
 [5] S. -H. Jo *et al.*, "A Discrete-Time Channel-Selection Filter with Flat Passband Characteristic for LTE," in *Proc. IEEE Radio-Frequency Integration Technology (RFIT)*, pp. 21–23, Singapore, Nov. 2012.
 [6] S. -J. Kweon *et al.*, "Reconfigurable high-order moving-average filter using inverter-based variable transconductance amplifiers," *IEEE Trans. on Circuits and Sys. II*, vol. 61, no. 12, pp. 942–946, Dec. 2014.
 [7] S. -H. Shin *et al.*, "Novel high-order temporal moving average (TMA) filter in sampler-based discrete-time (DT) receiver," in *Proc. IEEE RFIT*, pp. 117–120, Beijing, China, Nov. 2011.
 [8] S. -J. Kweon *et al.*, "High-order temporal moving-average filter using a multi-transconductance amplifier," *IET Electronics Letters*, vol. 48, no. 2, pp. 961–962, Jul. 2012.
 [9] B. Nauta, "A CMOS transconductance-C filter technique for very high frequencies," *IEEE J. Solid-State Circuits*, vol. 27, no. 2, pp. 142–153, Feb. 1992.
 [10] M. Bazes, "Two novel fully complementary self-biased CMOS differential amplifiers," *IEEE J. Solid-State Circuits*, vol. 26, no. 2, pp. 165–168, Feb. 1991.
 [11] A. Yoshizawa and S. Iida, "An equalized ultra-wideband channel-select filter with a discrete-time charge-domain band-pass IIR filter," in *Proc. CICC*, pp. 707–710, San Jose, USA, Sep. 2007.
 [12] A. Yoshizawa and S. Iida, "A 250-MHz cutoff

charge-domain baseband filter with improved stopband attenuations,” in *Proc. IEEE RFIC*, pp. 491–494, Boston, USA, Sep. 2009.

[13] J. G. Proakis and D. G. Manolakis, *Digital signal processing: Principles, algorithms, and applications*, 4th edition, Prentice Education, pp. 710, 2007.



권 순 재

2010년 한국과학기술원 전기 및 전자공학부 학사 졸업.

2010년 ~ 현재 한국과학기술원 전기 및 전자공학부 석박사 통합과정.

<주관심분야 : RF system, reconfigurable RFIC, biomedical circuits and systems>



조 성 훈

2011년 한국과학기술원 전기 및 전자공학부 학사 졸업.

2013년 한국과학기술원 전기 및 전자공학부 석사 졸업.

2013년 ~ 현재 한국과학기술원 전기 및 전자공학부 박사 과정.

<주관심분야 : Reconfigurable RFIC, biomedical circuits and systems>



유 형 준

1979년 서울대학교 물리학과 학사 졸업.

1990년 한국과학기술원 물리학과 석사 졸업.

1994년 한국과학기술원 물리학과 박사 졸업.

1979년 ~ 1982년 국방과학연구소 연구원

1983년 ~ 1997년 한국전자통신연구원 책임연구원

1998년 ~ 2009년 한국정보통신대학교 교수

2009년 ~ 현재 한국과학기술원 교수

<주관심분야 : RF system, reconfigurable RFIC, digital RF, RFID, and sensor communications>