

스마트 보안 시스템을 위한 가변 해상도 픽셀기법의 CMOS 이미지 센서 설계

(Design of a CMOS Image Sensor with a Configurable Pixel Technique for a Smart Security System)

남궁설¹, 송민규^{1,a}

¹동국대학교 반도체학과

Seol Nam-gung¹ and Min-kyu Song^{1,a}

¹Department of Semiconductor Science, Dongguk University

E-mail : mksong@dongguk.edu

요약 - 보안용 카메라에 사용되는 CMOS 이미지 센서는 항상 고해상도 모드로 영상을 기록할 필요가 없다. 특별한 상황이 발생하지 않는 평범한 경우에는 전력 소모를 줄이기 위하여 낮은 해상도로 영상을 기록하여도 문제없다. 본 논문에서는 스마트 보안 카메라 시스템에 적용 될 두가지 해상도를 가지는 새로운 CIS에 대해 소개한다. 추가적으로, 픽셀 가변해상도 기술과 컬럼 셧 다운 기술에 대해서도 소개한다. 테스트 칩은 0.11 μ m CMOS 공정으로 제작되었으며 5 μ m의 피치에서 QVGA 해상도(320x240)를 만족시키고 4-Tr 픽셀 구조를 가진다. 제작된 CIS는 아날로그 이중 샘플링, 8-bit Single Slope ADC, 그리고 디지털 카운터로 구성되어 있다. CIS의 동작 속도는 50 frame/s 이며 이때 2.8V(Analog)/ 1.5V(Digital)의 전원전압에서 9.8mW의 전력 소모를 하였다. 제안하는 가변해상도 픽셀 기법을 적용하면, 1/4 저해상도 모드에서 2.7mW의 전력 소모를 하였다. 따라서 제안하는 기술을 사용하였을 때, 전력 소모를 크게 줄일 수 있음을 검증하였다.

Abstract - A CMOS Image Sensor (CIS) mounted on a security system does not always record a picture in a high resolution mode. In a normal state without any events or accidents, it is possible to take a picture in a low resolution mode to reduce power consumption. In this paper, a novel low power CIS which has two kinds of resolution mode is discussed to implement a smart security system. Further, a configurable pixel technique and a column shut-down technique are proposed. The prototype CIS chip is based on a 0.11 μ m CMOS process and satisfies a QVGA resolution (320 \times 240) with a pitch of 5.0 μ m and a 4-Tr active-pixel sensor structure. The fabricated CIS is composed of an analog correlated double sampling (CDS), an 8-bit single-slope ADC, and a digital counter. The operating speed of the CIS is 50 frame/s with a power consumption of 9.8mW at 2.8V(Analog)/1.5 V(Digital) power supply. When the pixel sub-sampling technique is used, the power consumption is about 2.7mW in a 1/4 low resolution mode. Therefore, the power consumption is drastically reduced, when the proposed technique is adopted.

a. Corresponding author; mksong@dongguk.edu

I. 서론

최근 CMOS 이미지 센서 (CIS)는 방송 장비용, 보안용 카메라(CCTV), 모바일 제품, 디지털 카메라 등 넓은 범위의 산업에서 사용되고 있다. CIS 시장이 성장함에 따라 다양한 종류의 제품에서 고해상도 픽셀, 저 전력, 고속 동작, 고해상도 ADC 등을 요구하고 있다[1-15]. 그 중에서도, 도시에서 많은 범죄가 벌어지고 있어 CCTV와 같은 보안 시스템 시장이 급속도로 성장하였다. 그에 따라 범죄 예방할 수 있도록 스마트한 보안 시스템을 개발하게 되었다. 스마트한 보안 시스템의 컨셉은 간단하다. 특별한 상황이나 사고가 발생하지 않는 평범한 상황의 경우 전력을 줄이기 위하여 영상을 저 해상도 모드로 기록한다. 그러나 유괴와 같은 특별한 상황이 발생한 경우, 이미지 처리 프로세스 (ISP)에 의해 CIS의 해상도가 자동적으로 고해상도 모드로 변화하게 된다. 본 논문에서는 새로운 전력 감소 기술이 적용된 저전력 CIS에 대해서 논의한다. 논문의 구성은 다음과 같다. II 장에서는 스마트한 보안 시스템과 가변해상도 픽셀 기법을 소개한다. 회로 설계와 구현은 III장에서 논의한다. 측정 결과와 결론은 IV장과 V장에서 각각 정리하였다.

II. 가변 해상도 픽셀 기법

그림 1에서 스마트한 보안 시스템을 간단하게 설명하고 있다. 안전한 보통 상황에서, 작은 버튼처럼 생긴 배지 카메라는 전력 소모를 줄이기 위하여 낮은 해상도 모드로 영상을 기록한다. 그런데 위급 상황 모드의 경우, 배지 카메라는 고 해상도 모드로 영상을 기록하고, 이 영상을 근처에 있는 경찰서로 보내게 된다. 전송된 사진에 따라 경찰서에서는 경찰을 해당 장소로 보내는 등의 빠른 대처를 할 수 있다.

스마트한 보안 시스템을 위한 저 전력 CMOS 이미지 센서(CIS)를 위해서는 다양한 기술이 적용된다. [1-5]. 그림 2에 나타난 두 종류의 이미지는 고 해상도 모드와 저 해상도 모드이다. 이것은 고 해상도 모드에서 저 해상도 모드로 이미지 센서의 모드를 바꾼 것을 서로 비교한 모습이다 [6]. 저 해상도 모드에서는 이미지의 픽셀을 낮은 해상도로 바꾸기 때문에, 이 경우 전력 소모가 감소된다. 일반적으로 픽셀 해상도를 바꾸는 것은 픽셀 서브 샘플링 기술과 픽셀 비닝 기술로 나누어진다. 전자의 경우 픽셀의 샘플링 비율을 바꾸는 것을 의미하고 후자의 경우 여러 개의 픽셀을 합쳐 한 개의 픽셀 값으로 가져가는 것을 의미한다.

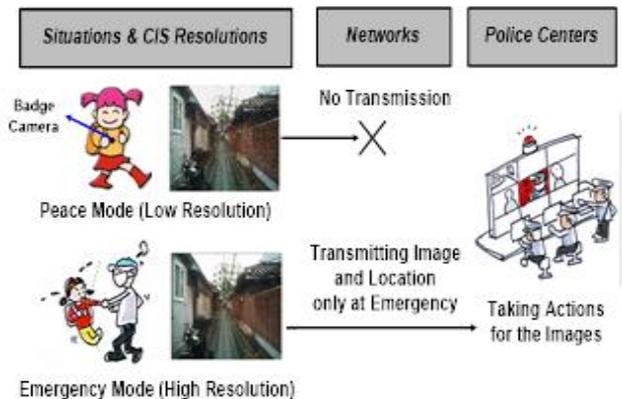


그림 1. 스마트 보안 시스템
Fig. 1. A Smart Security System

픽셀 서브 샘플링 기술은 단순히 픽셀 개수를 감소시키는 것이기 때문에 ADC의 컬럼 개수 역시 감소한다. 또한, 낮은 해상도의 경우, 픽셀의 개수가 감소하고 평균 전력 소모 역시 감소한다. 반대로 픽셀 비닝 기술의 경우 추가적인 회로를 통해 여러 개의 픽셀을 평균시키기 때문에 서브 샘플링 기술에 비하여 상대적으로 높은 이미지 품질을 얻을 수 있다. 그러나 추가적인 회로에 의해 노이즈가 더 발생할 수 있고, 서브 샘플링 기술에 비해 전력 소모의 감소 효

과가 미미하다 [7].

따라서 본 논문에서는 전력 감소 효과를 최대화하기 위하여 서브 샘플링 기술을 논한다. 픽셀 서브 샘플링 기술의 이미지 품질은 픽셀 비닝 기법보다 나쁘지만, 픽셀 서브 샘플링 기술의 전력은 픽셀 비닝 기법보다 매우 낮기 때문이다.

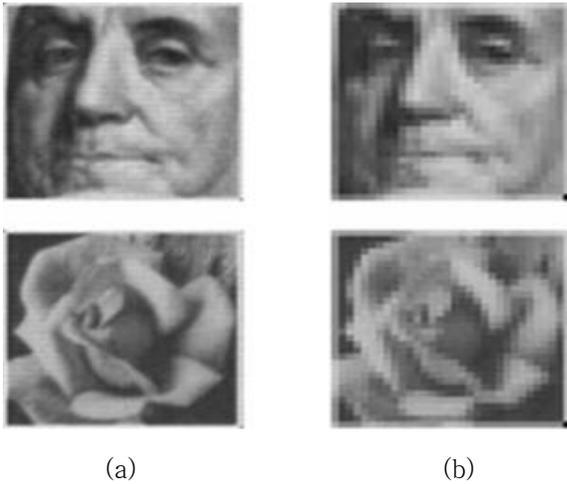


그림 2. 가변해상도 픽셀 기법
(a) 고 해상도 모드 (b) 저 해상도 모드
Fig. 2. A configurable pixel technique
(a) High resolution mode (b) Low resolution mode

III. 회로 설계 및 구현

가. CMOS 이미지 센서의 구조

그림 3에서는 본 연구에서 설계한 CIS의 블록 다이어그램이다. CIS 구조는 픽셀, 컬럼 ADC, 그리고 디지털 컨트롤 블록으로 구성되어 있다. 픽셀에 빛이 인가되면 빛의 양에 상응하는 전압으로 바꾸어 ADC에 인가되는 입력으로 변환시켜 준다. 픽셀의 출력 전압은 ADC 블록을 통해 디지털 코드로 변환된다. 디지털 컨트롤 블록은 픽셀, ADC, 그리고 출력 인터페이스를 각각 제어한다. 또한, 픽셀 서브 샘플링 기술이 추가 된다. 본 논문에서는 각 부분에 대하여 하나씩 논의하도록 한다.

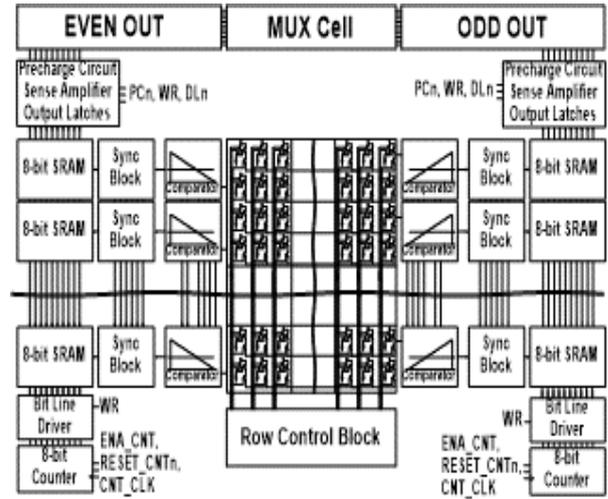


그림 3. 제안하는 CIS의 블록 다이어그램
Fig. 3. Block Diagram of the proposed CIS

나. Single-Slope ADC

컬럼 ADC구조의 CIS에서는, ADC의 경우 작은 열 피치 내에 배치해야 하기 때문에 공간의 측면에서 많은 제약을 받는다. 따라서 MOS 트랜지스터의 사이즈는 가능한 작아야 하고, 이를 위해 간단한 ADC 구조를 갖는 것이 매우 유리하다. 본 연구에서는 위의 요건을 만족시키기 위하여 8-bit Single-Slope ADC (SS ADC) 구조를 이용하였다 [10]. 그림 4에서는 SS ADC의 블록 다이어그램과 타이밍 다이어그램을 나타내고 있다. SS ADC를 이용한 CIS의 컬럼 구조는 각 픽셀간의 불균형을 일으키거나, 각 구성 요소간의 공정상 미스 매칭으로 인해 오차가 발생할 수도 있다. 같은 양의 빛으로 생성된 출력이라고 할지라도 서로 다른 디지털 코드를 내기 때문에 이러한 불균형한 요소들에 의해 픽셀은 다양한 종류의 고정 잡음 노이즈를 발생 시킨다. 따라서 이런 문제를 해결하기 위해 다양한 이중 샘플링(CDS) 방식을 이용한다. 또한, 컬럼의 고정 잡음 패턴 노이즈를 제거하기 위하여 저 전력의 장점을 갖는 방식이 이용된다.

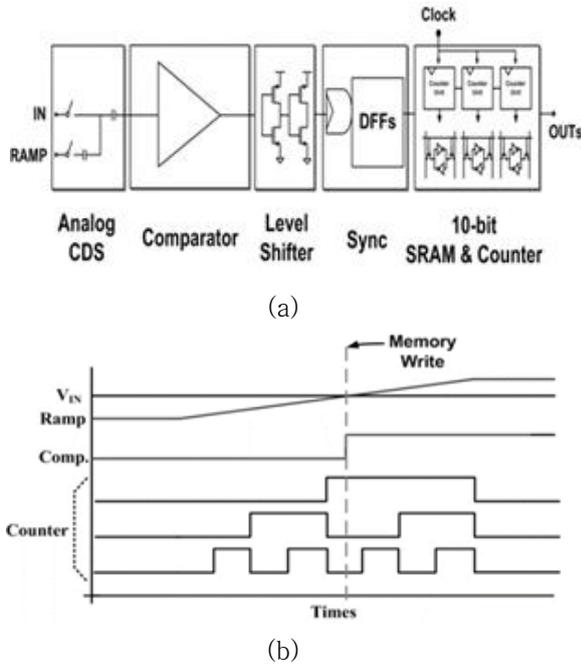


그림 4. (a) single-slope ADC의 블록 다이어그램
(b) 타이밍 다이어그램
Fig. 4. (a) Block Diagram of single-slope ADC
(b) Timing diagram

다. 전력 감소 기술

전력 소모를 줄이기 위해서는 두 종류의 방식이 사용된다. 첫 번째 기술은 이미지 센서 블록에서 단락 전류를 감소시키는 것이고, 두 번째 기술은 비교기 블록에서 전력 소모를 감소시키는 것이다. 본 논문에서는 전력 공급을 중지시켜 비교기 블록에서 전력 소모를 감소시키는 기술을 제안한다. 그림 5에서는 기존의 방식과 제안하는 방식의 회로 다이어그램을 나타내고 있다. 그림 5(a)에서 보여지는 기존의 비교기는 고정 잡음 노이즈를 제거하기 위하여 아날로그 CDS 과정을 이용하고 있다. 이 경우 스위치인 sw 3과 sw 4가 닫힐 때 sw 3과 sw 4에 의해 비교기의 로직 문턱 전압 값이 캐패시터에 저장된다. 이로 인해 nMOS와 pMOS가 동시에 켜질 때 단락 전류가 흐른다. 이것은 인버터의 로직 문턱 전압이 VDD나 GND일 수 없기 때문이다. 유도된 단락 전류 증가는 전력 소모를 크게 증가시킨다. 이러한 현상을

막기 위하여 새로 제안하는 구조는 그림 5(b)에서 보여지고 있다. 비교기와 인버터 사이에 스위치인 sw5를 삽입 한다. 이 스위치로 인해 단락 전류가 인버터에서 거의 0에 가까워지고 전력 소모 역시 크게 감소한다. 게다가 비교기의 바이어스 전압인 VP는 비교기의 동작이 끝난 후 VDD 전압으로 대체된다. 또한 이것은 비교기에서 대기 전류가 흐르지 않기 때문에 전력 소모를 줄일 수 있다. SPICE 시뮬레이션 결과에 따르면 평균 전력 소모는 제안하는 SS ADC 구조에서 기존 구조에 비해 약 35% 감소하는 것으로 나타난다.

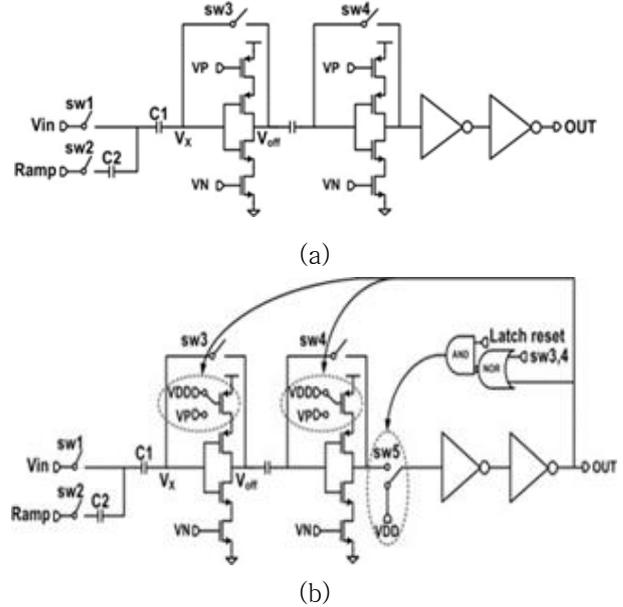


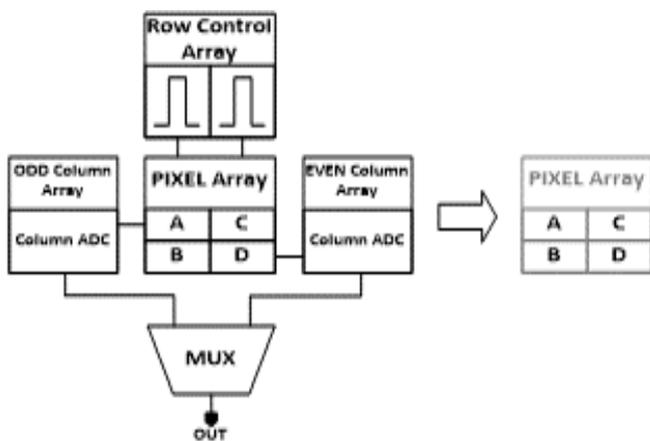
그림 5. (a) 기존의 비교기 (b) 제안하는 비교기
Fig. 5. (a) conventional comparator (b) proposed comparator

라. 픽셀 서브 샘플링 기술

그림 6에서는 1/4 픽셀 서브샘플링 기술의 기본 동작 과정을 나타내고 있다. 그림 6(a)에서는 노말 모드에서 even 컬럼 열과 odd 컬럼 열과 로우 컨트롤이 동작하는 고 해상도 모드를 나타내고 있다. 각 행은 두 개의 픽셀로 구성되어 있고 각 픽셀을 A, B,

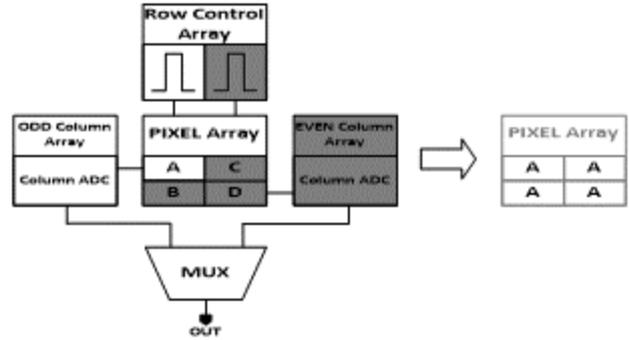
C, D라고 가정하자. 첫 번째 로우 열이 동작하면 A와 B 픽셀 전압이 각 컬럼 ADC를 통해 디지털 코드로 변환된다. 그 후에 두 번째 로우 열이 동작하여 앞선 방식과 같은 방식으로 픽셀 C와 픽셀D에 해당하는 전압을 디지털 코드로 변환한다. 그림 6(b)에서는 저 해상도 모드에서 동작하는 방식에 대해 나타내고 있다. 이것은 고 해상도 모드에 비해 1/4 해상도를 갖는다. 기본적으로 픽셀 출력은 다른 픽셀의 출력들 역시 A를 출력하는 알고리즘을 가지고 있다. 1/4 픽셀 서브 샘플링의 간단한 설명은 다음과 같다.

even 컬럼은 완전히 동작하지 않고, 로우 컨트롤은 짝수 번째에서 동작하지 않는다. 또한, 첫 번째 로우가 동작하면 odd 컬럼 열에 있는 픽셀만이 선택되게 된다. 그 후에 A의 출력과 동일한 디지털 코드를 전송하게 된다. 두 번째 로우가 odd 컬럼의 SRAM에 저장된 이전의 정보를 읽고 나면, 이것은 A와 동일한 디지털 코드를 출력한다. 최종적인 출력은 MUX 블록으로 전해지게 된다. 결국, 4개의 모든 픽셀은 추가적인 전력 소모 없이 동일한 디지털 코드를 출력하게 된다. 그러므로 1/4 픽셀 서브 샘플링 기술의 전력 소모는 고 해상도 모드의 약 1/4 값을



(a)

가지게 된다.



(b)

그림 6. 1/4 픽셀 서브 샘플링 기술의 원리

(a) 고 해상도 모드 (b) 저 해상도 모드

Fig. 6. The principle of 1/4 pixel sub-sampling technique

(a) high resolution mode (b) low resolution mode

IV. 실험 결과

가. 시뮬레이션 결과와 칩 레이아웃

1/4 픽셀 서브 샘플링 기술이 적용된 CIS의 전력 소모는 SPICE 시뮬레이션을 통해 검증하였다. 그림 7에서는 고 해상도 모드와 저 해상도 모드의 전력 소모를 비교한 SPICE의 결과이다. 4개의 픽셀과 2개의 로우열이 테스트 되었고 각 모드에 따른 시뮬레이션을 측정하였다. 그림 7에서 보여지는 빨간색 그래프는 고 해상도 모드에서의 전력 소모 값이며, 파란색 그래프는 1/4 저 해상도 모드에서의 전력 소모 값이다. 첫 번째 로우열과 odd 컬럼 열이 동작 할 때 저 해상도 모드는 고 해상도 모드에 비해 1/4배의 전력 소모가 이루어진다. 두 번째 로우열과 SRAM만이 동작할 때는 전력 소모가 급격하게 감소한다. 이러한 이유로, 저 해상도 모드에서의 전력 소모는 고 해상도에 비해 1/4배로 줄어들게 된다. 그림 8은 제작한 CIS 칩의 모습을 현미경으로 촬영한 모습이며, 이미지 센서의 코어 면적은 $6.67\text{mm}^2(2.9\text{mm} \times 2.3\text{mm})$, 최종 칩의 면적은 $19.11\text{mm}^2(4.9\text{mm} \times 3.9\text{mm})$ 이다. 본 연구에서 제작

한 칩은 동부 0.11 μm CIS 공정을 이용하였으며, 이미지 센서의 픽셀은 4-Tr 구조이다. 본 논문의 픽셀 사이즈는 5.0 μm ×5.0 μm 이다. 컬럼의 피치를 10 μm 으로 하기 위해 odd 컬럼은 픽셀 어레이의 오른쪽에, even 컬럼은 픽셀 어레이의 왼쪽에 위치하였다. 또한, 고정 패턴 잡음을 제거하기 위해 모든 컬럼은 동일한 구조로 제작되었다. CIS의 픽셀 어레이는 320×240 픽셀로 구성된 QVGA 해상도이다.

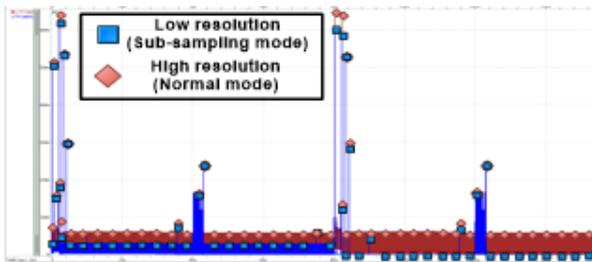


그림 7. 전력 소모 비교
Fig. 7. Power consumption comparison

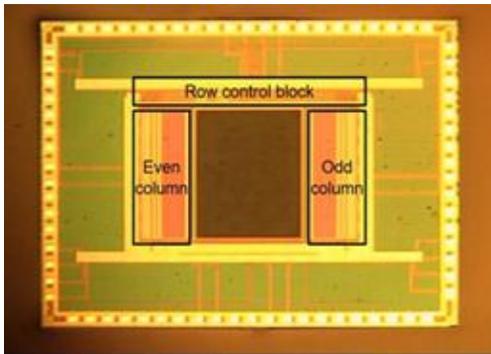


그림 8. 현미경으로 촬영한 제작한 CIS의 칩 사진
Fig. 8. Chip microphotograph of the designed CIS

나. 측정 결과

그림 9는 측정 시스템 환경의 대한 사진이다. 테스트 CIS 칩은 컨트롤 신호를 만들어 주는 FPGA 보드를 통해 동작시킨다. 이미지를 센서를 통해 측정된 디지털 코드는 USB 인터페이스를 통해 PC로 전송된다. 결과적으로 모니터에 촬영한 이미지 데이터가 보여진다. 그림 10에서는 8-bit 해상도에서 촬영한

QVGA 샘플 이미지를 보여주고 있다. 이는 메인 클럭 속도인 10Mhz에서 50frame/s의 프레임 레이트를 갖는다. 그림 10(a)는 고 해상도 모드에서의 이미지를, 그림 10(b)는 저 해상도 모드에서의 이미지를 보여주고 있다. 그림 11은 그림 10의 이미지를 확대한 모습이다. 고 해상도 모드에서의 픽셀 개수는 64개 인 반면, 저 해상도 모드에서는 16개 임을 확인할 수 있다. 또한 제안하는 1/4 픽셀 서브 샘플링 기술은 표 1에서 보여주는 것처럼 고 해상도와 저 해상도 모드에서 확연한 전력 소모 차이를 보여준다. 저 해상도 모드에서 측정된 전력 소모는 2.7mW인 반면, 고 해상도 모드에서는 9.8mW의 전력 소모를 보이고 있다. 저 해상도 모드에서도 아날로그 바이어스 블록이 완전히 차단되지 않았기 때문에 정확히 1/4의 전력 소모를 보이지는 않았다.

표 2에서는 CIS 측정 결과에 대해 요약하였다. 표 3에서는 다양한 상용 제품과 이번 연구에 대한 비교를 나타내었다. 표를 통해 이번 과제에서의 전력 소모가 상용 제품에 비해 적음을 확인할 수 있다. 그러므로 제안하는 CIS는 보안 시스템에 매우 유용할 것으로 보인다.

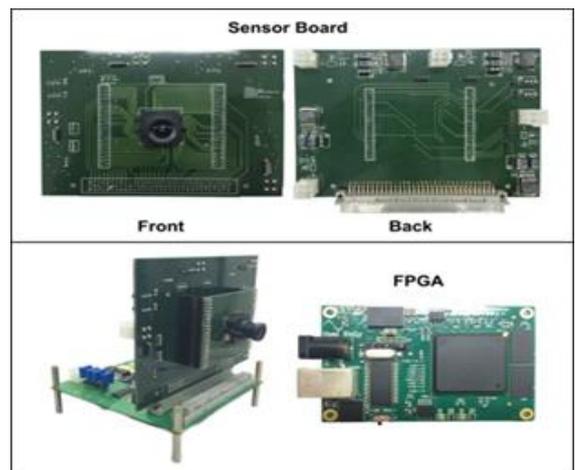


그림 9. 칩 측정 환경의 사진
Fig. 9. Photograph for the chip measurement system

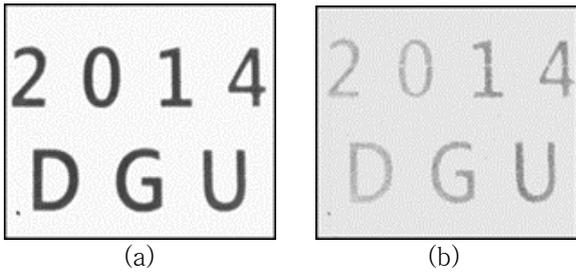


그림 10. 측정 이미지
 (a) 고 해상도 모드 (b) 1/4 저 해상도 모드
 Fig. 10. Measured sample images
 (a) high resolution mode (b) 1/4 low resolution mode

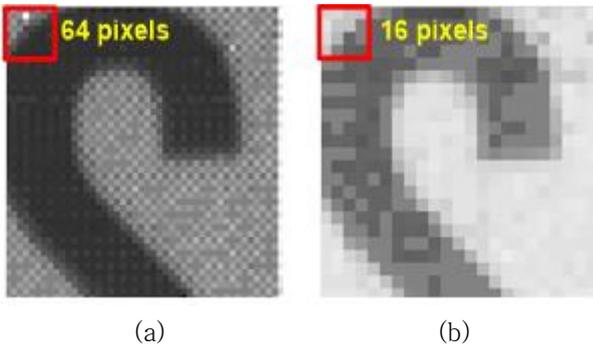


그림 11. 그림 10의 확대 한 사진
 (a) 고 해상도 모드 (b) 1/4 저 해상도 모드
 Fig. 11. Magnified measured sample images of Fig. 10
 (a) high resolution mode (b) 1/4 low resolution mode

표 1. 전력 소모 비교

Table 1. Comparison of power consumption

mode	Aanalog Power (2.8V)	Digital Power (1.5V)	Pixel Power (2.8V)	Total Power
high resolution mode [mW]	6.6	1.5	1.7	9.8
low resolution mode [mW]	1.8	0.4	0.5	2.7

표 2. 제안하는 CIS의 요약

Table 2. Performance summary of the prototype CIS

Array Format	320×240
Pixel Size	5.0um×5.0um
ADC Resolution	8-bit
Frame Rate	50 frame/s
Power Supply	2.8V(Analog) / 1.5V(Digital)
Power Consumption	9.8mW (High resolution mode) 2.7mW (Low resolution mode)
Core area	19.11mm ² (4.9mm×3.9mm)
Technology	Dongbu 0.11um CIS

표 3. 성능 비교

Table 3. Performance comparison

Reference	Resolution	Frame Rate [fps]	Power Consumption [mW]
[2]	128 × 128	8.5	16.47
[4]	640 × 480	30	60
[5]	1920 × 1440	180	580
[6]	128 × 128	30	30
[11]	177 × 144	30	-
[12]	320 × 240	15	30
[13]	2928 × 2184	60	360
[14]	320 × 240	700	36
[15]	1696 × 1212	250	300
This work	320 × 240	50	9.8

V. 결론

지능형 보안 시스템을 위해 픽셀 서브 샘플링 기술을 이용한 저 전력 CIS를 제작하였다. 고 해상도 모드에서, CIS는 QVGA 픽셀 해상도 (320×240)을 갖는다. 하지만 저 전력 모드에서는 픽셀 어레이의 수가 1/4 픽셀 서브 샘플링 기술에 의해 감소한다. 또한 전력 소모 역시 1/4의 비율로 감소한다. 본 논문에서 제작한 CIS 칩은 피치 5 μ m의 0.11 μ m CMOS 공정을 이용하였으며 4-Tr 픽셀 구조를 가진다. CIS의 ADC는 8-bit 해상도를 가지며 CIS의 속도는 50 frame/s에서 동작한다. 고 해상도 모드에서 전력 소모는 약 9.8m이고 2.8V(Analog)/1.5V(Digital)의 전력 공급을 받는다. 픽셀 서브 샘플링 기술이 적용된 저 해상도 모드에서의 전력 소모는 약 2.7mW이다.

감사의 글

본 연구는 IDEC의 지원을 받아 진행되었습니다.

참고 문헌

- [1] H-G. Graf, C. Harendt, T. Engelhardt, C. Scherjon, K. Warkentin, H. Richter, J.N. Burghartz, "High Dynamic Range CMOS Imager Technologies for Biomedical Applications," *IEEE J. Solid-State Circuits*, Vol. 44, pp. 281-289, Jan. 2009.
- [2] Scott Hanson, Dennis Sylvester, "A 0.45-0.7V Sub-Microwatt CMOS Image Sensor for Ultra-Low Power Applications," in *Symp. VLSI Circuits Dig.*, pp. 176-177, Jun. 2009.
- [3] M.F. Snoeij, A.J.P. Theuwissen, K.A.A. Makinwa, J.H. Huijsing, "A CMOS Imager With Column-Level ADC Using Dynamic Column Fixed-Pattern Noise Reduction," *IEEE J. Solid-State Circuits*, vol. 41, pp. 3007-3015, Dec. 2006.
- [4] T. Sugikiet *et al.*, "A 60mW 10b CMOS image sensor with column-to-column FPN reduction," in *Proc. IEEE ISSCC Dig. Tech. Papers*, pp. 108-109,450, Feb. 2000.
- [5] Y. Nitta *et al.*, "High-Speed Digital Double Sampling with Analog CDS on Column Parallel ADC Architecture for Low-Noise Active Pixel Sensor," in *Proc. IEEE ISSCC Dig. Tech. Papers*, pp. 2024-2031, Feb. 2006.
- [6] Evgeny Artyomov, Yair Rivenson, Guy Levi, and Orly Yadid-Pecht, "Morton (Z) Scan Based Real-Time Variable Resolution CMOS Image Sensor." *IEEE Trans., CSVT.*, vol. 15, pp. 947-952, July. 2005.
- [7] Hong-Yi Huang, Conge, P.A., Li-Wei Huang, "CMOS Image Sensor Binning Circuit for Low-Light Imaging," *IEEE Symp., ISIEA.*, pp. 586-589, Sept. 2011.
- [8] S. Lim, J. Cheon, S. Ham, and G. Han, "A new correlated double sampling and single slope ADC circuit for CMOS image sensors," in *Proc. Int. SoC Des. Conf.*, Oct. 2004, pp. 129-131.
- [9] M. F. Snoeij *et al.*, "Multiple-ramp column-parallel ADC architectures for CMOS image sensors," *IEEE J. Solid-State Circuits*, vol. 42, no. 12, Dec. 2007, pp. 2968-2967.
- [10] D. Lee, G. Han, "High-speed, low-power correlated double sampling counter for column-parallel CMOS imagers," *Electronics Letters*, Vol.43, No.24, Nov. 2007, pp. 1362-1364.
- [11] T. Yamada, S. Kasuga, T. Murata, and Y. Kato, "A 140dB-Dynamic-Range MOS Image Sensor with In-Pixel Multiple-Exposure Synthesis," *IEEE ISSCC Dig. Tech. Papers*, Feb., 2008, pp. 50-51, 594.
- [12] S. H. Ham, Y. H. Lee, W. K. Jung, S. H. Lim, K. S. Yoo, Y. C. Chae, J. H. Cho, D. M. Lee and G.

H. Han, "A CMOS Image Sensor with Analog Gamma Correction Using a Nonlinear Single Slope ADC," Proc. *ISCAS*, May., 2006, pp. 3578-3581.

[13] S. Yoshihara et al., "A 1/1.8-inch 6.4MPixel 60 frames/s CMOS Image Sensor with Seamless Mode Change," in Prox. *IEEE ISSCC Dig. Tech. Paper*, pp. 1984-1993, Feb. 2006

[14] S. Lim, J. Lee, D. Kim, and G. Han, "A high-speed CMOS image sensor with column-parallel two-step single-slope ADCs," *IEEE Trans. Electron Devices*, vol. 56, no. 3, pp. 393-393, Mar. 2009.

[15] S. Lim, J. Cheon, Y. Chae, W. Jung, D. H. Lee, M. Kwon, K. Yoo, S. Ham, and G. Han, "A 240-frames/s 2.1-Mpixel CMOS image sensor with column-shared cyclic ADCs" *IEEE J. Solid-State Circuits*, vol. 46, no. 9, pp. 2073-2083, Sep. 2011



남 공 설

2014년 동국대학교 반도체학과 학사
 2016년 동국대학교 반도체학과 석사
 <주관심분야 : CMOS 아날로그 회로 설계, CMOS 이미지센서 설계>



송 민 규

1986년 서울대학교 전자공학과 학사
 1988년 서울대학교 전자공학과 석사
 1993년 서울대학교 전자공학과 박사
 1993년-1995년 일본 동경대학교 전자공학부 연구원
 1995년-1997년 삼성전자 반도체총괄 선임연구원
 1997년-현재 동국대학교 반도체학과 교수
 <주관심분야 : 아날로그 회로설계, 저전력 혼성모드 회로설계, CMOS 이미지센서 설계 등>