

불연속 주파수 변조 기법을 이용한 분산 스펙트럼 클럭 발생기

(A Spread Spectrum Clock Generator Using Discontinuous Frequency Modulation Technique)

Taiming Piao¹, 위재경^{1,a}, 김부균¹

¹ 송실대학교 전자공학과

Taiming Piao¹, Jae-Kyung Wee^{1,a}, Boo-Gyoun Kim¹

¹ Department of Electronics Engineering, Soongsil University

^a E-mail: wjk@ssu.ac.kr

요약 - 본 논문에서는 낮은 전자 방해 잡음 및 낮은 Maximum time interval error (MTIE)인 새로운 방식의 불연속 주파수 변조 기법을 제안하였다. 제안된 회로는 0.35 μm CMOS 공정을 사용하여 구현하였다. 제안된 회로는 3.3V인 공급전압에서 동작하게 되며 평균 중심 주파수는 100MHz이다. 측정 결과 제안된 방법은 11.59인 낮은 MTIE에서 전자 방해 잡음을 14.57dB 감소하였다.

Abstract - In this paper, we propose a novel discontinuous spread clock generator with a low MTIE and low electromagnetic interference (EMI). The proposed circuitry was fabricated with 0.35 μm CMOS process and operated with 3.3V supply voltage at the average center frequency of 100MHz. The measured results showed the MTIE of 11.59ns with the EMI reduction of 14.57dB.

I. 서론

전자회로 칩의 발전에 주요한 인자 중 하나는 전자회로 크기의 변화와 클럭 속도의 증가이다. 전자회로가 고집적화되고 클럭 속도가 증가함에 따라 칩 내에서 각 IP (intellectual property) 간의 EMI에 의한 영향이 커지게 되었다. EMI는 안전한 시스템에 잡음을 발생시켜 결과적으로 시스템의 오류를 발생시킬 수 있는 위험성이 있다. 따라서 칩 내에서 각 IP 간의 EMC

(electromagnetic compatibility)를 고려하여 칩을 제작하고 EMC를 고려한 칩으로 시스템을 구성해야 시스템 EMC 표준 조건을 만족할 수 있다. 이에 따라 고속 동작을 하는 전자 시스템에서는 전자파 방출을 줄이기 위한 방법의 하나로 클럭 신호의 주파수를 변조하여 좁은 대역에 집중된 에너지를 넓은 대역으로 분산시키는 분산 스펙트럼 클럭 발생기 (SSCG, spread spectrum clock generator)를 사용하는 것이 일반적인 추세이다 [1].

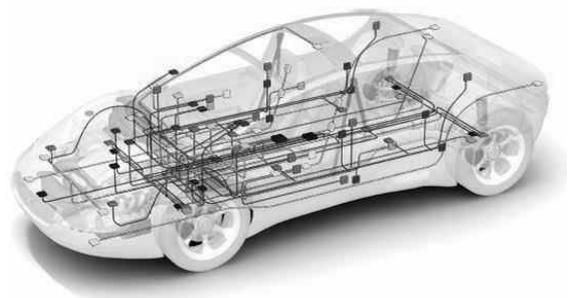


그림 1. 자동차 ECU 사이의 CAN 통신 예시.
Fig. 1. Example of CAN communication between ECUs in a vehicle.

a. Corresponding author; wjk@ssu.ac.kr

Copyright ©2015 IDEC All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Fig. 1처럼 자동차 내의 전자 시스템에서는 엔진, 자동변속기, ABS (anti-lock braking system) 등은 ECU (electronic control unit)로 제어하고 ECU 간에는

CAN (controller area network) 통신으로 데이터를 주고받는다. 이 경우 동기 클럭에 의해 발생하는 EMI는 전자부품 안전성에 매우 심각한 문제가 되고 있다. EMI문제 해결을 위해 동기 신호 기반의 시스템에서 주파수 변조 폭을 크게 할수록 EMI 감소 효과가 높다. 그러나 MTIE가 같이 증가하기 때문에 타이밍 마진을 확보하기 위해서 주파수 변조 폭을 크게 높이는 방법은 응용시스템에 따라 사용 제한이 있다. 이런 문제를 해결하기 위해 비동기 직렬 정보 전송 프로토콜은 제한된 TIE (time interval error) 내에서 매우 큰 클럭 변조를 사용하여 EMI 감소 효과를 얻기 위한 기법이 연구되어 보고되고 있다 [2-4]. 그러나 이러한 방법들은 복잡한 제어 기법을 사용하기 때문에 일반적인 방법으로는 구현하기 어렵다는 문제점이 있다.

본 논문에서는 간단한 회로를 기반으로 TIE를 CAN 통신의 요구 조건 이내로 유지하면서 효과적으로 EMI를 감소시킨 불연속 주파수 변조 기법을 제안하였고, 측정을 통해 검증하였다.

II. 본 론

1. TIE와 EMI 감소

일반적으로 SSCG를 구현하는 방법에는 세 가지가 있다. 첫 번째 방식은 PLL (phase locked loop)에서 VCO (voltage-controlled oscillator)의 입력 전압을 변조하는 것이다. 이러한 방법을 사용하게 되면 변조 주파수가 PLL의 루프에 영향을 미치지 않게 하기 위해 대역폭을 작게 설계해야 한다. 이 경우 필요한 커패시터 값을 구현하기 위해 필요한 면적의 증가로 인해 전체 칩의 크기가 커지게 된다. 두 번째 방식은 PLL에서 피드백 디바이더의 비율을 제어하여 VCO의 출력 주파수를 변조하는 것이다. 이러한 방법은 시그마-델타 변조를 사용하기 때문에 비교적 복잡한 회로가 추가되는 동시에 양자화 에러가 VCO의 출력 주파수에 반응되어 EMI를 저감 시키는데 제한이 된다. 세 번째 방식은 DLL (delay locked loop)과 위상 보간 (phase interpolator)을 이용하여 멀티 위상 클럭을 발생시켜 멀티플렉스 (multiplexer)에 의하여 부동한 상승 에지 (rising edge)를 선택하여 주파수를 변조하는 방법이다. 이러한 방법에서 위상 수가 많을수록 분산 효과가 좋은 반면에 파워 소모도 따라서 커지게 되면서 또한 이러한 방법을 사용하게 되면 클럭 신호의 duty를 50% 보장하지 못하게 된다. 이러한 방식으로 발생한

SSC (spread spectrum clock)은 지터가 누적되면서 TIE에 반영된다. Fig. 2는 모듈레이션 파형이 삼각형이고 중심 확산 (center spread)인 경우 이의 TIE 변화를 보여준다. 그림에서 시간 구간 (0 ~ 0.5/F_{mod})에서는 실제 주파수는 중심 주파수 (f_c)보다 빠른 주파수를 사용하기 때문에 TIE는 항상 음의 값으로 지속해서 증가한다. 시간 구간 (0.5/F_{mod} ~ 1/F_{mod})에서는 실제 주파수가 중심 주파수보다 느린 주파수를 사용하기 때문에 TIE는 양의 값으로 지속해서 증가한다. 중심 주파수보다 실제 주파수가 더 빠른 영역과 실제 주파수가 더 느린 영역의 적분 크기가 같으므로 시간 지점 (1/F_{mod})에서 TIE의 값이 "0"이 된다. 또한, 시간 지점 (0.5/F_{mod})에서 MTIE 값을 가지게 된다. (1)

$$EMIPeak\ Reduction = 10 \times \log \left(\frac{A_{mod} \times f_c}{F_{mod}} \right) \quad (1)$$

$$MTIE = \pm \frac{A_{mod}}{8 \times F_{mod}} \quad (2)$$

$$EMIPeak\ Reduction = 10 \times \log(8 \times MTIE \times f_c) \quad (3)$$

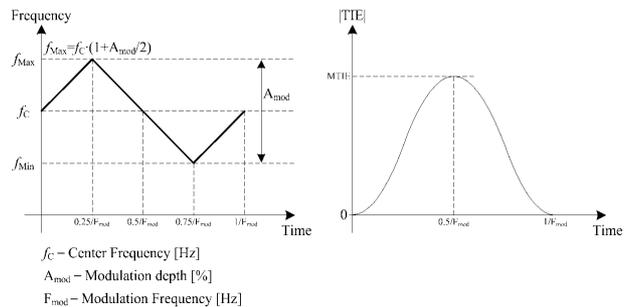


그림 2. 중심 확산인 삼각형 변조 프로파일과 이의 TIE.
Fig. 2. Triangular modulation profile in center spread and its TIE.

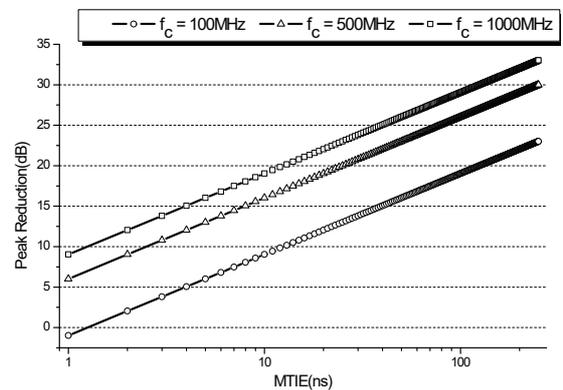


그림 3. EMI 피크 감소와 MTIE
Fig. 3. EMI peak reduction vs. MTIE.

Fig. 2인 경우처럼 모듈레이션 파형이 삼각형이고 중심 확산인 경우에서 EMI 피크 감소 양은 수식 (1)에 의해 예측할 수 있고 또한 MTIE 값은 수식 (2)에 의해 구할 수 있다 [5]. 따라서 수식 (1)과 수식 (2)을 정리하면 수식 (3)을 얻을 수 있다. 수식 (3)에서 MTIE가 클수록 EMI 피크 감소 양은 커진다는 것을 알 수 있다. Fig. 3은 수식 (3)을 그림으로 도식하였다. 그림에서처럼 기존의 SSCG를 사용하게 되면 MTIE의 제한으로 인해 EMI 피크 감소 양도 제한이 된다.

2. 제안하는 불연속 주파수 변조 기법

Fig. 4는 제안하는 불연속 주파수 변조 기법을 보여준다. 그림에서는 일반적인 SSC와 제안하는 불연속 SSC (DSSC, discontinuous spread spectrum clock)의 주파수 변조 방법 및 TIE를 나타낸다. 일반적인 SSC에서는 MTIE가 비동기 프로토콜에서 제한하는 값을 넘을 수 없으므로 모듈레이션 변조 폭 (A_{mo-c})을 크게 설계할 수 없다.

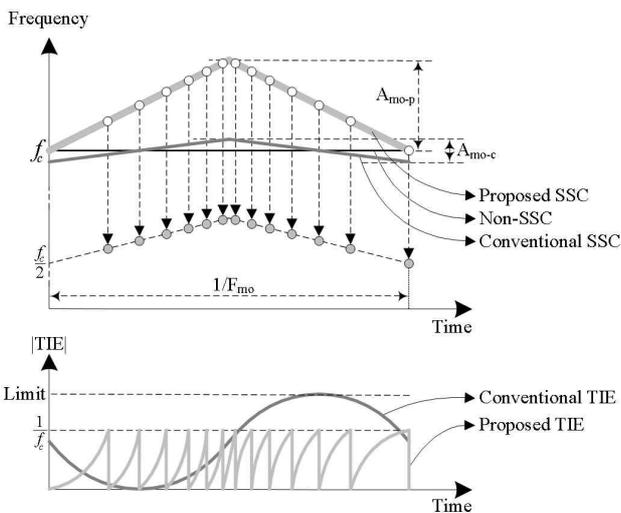


그림 4. 전통적인 SSC와 제안된 DSSC의 비교
Fig. 4. Comparison between the conventional SSC and the proposed DSSC.

반면에 제안하는 불연속 SSC 기법은 "Non-SSC"를 기준으로 up-spread 방법을 사용하고 변조 폭 (A_{mo-p})을 크게 설계한 경우 TIE는 한 변조 주기 동안 항상 음의 값을 갖게 되며 일반적인 SSC 보다 빠르게 제한 값을 넘어선다. 매번 TIE의 값이 한 클럭

누적되는 지점에서 주파수가 $f_c/2$ 인 한 클럭을 출력으로 내보내는 경우 누적된 TIE의 값이 리셋 된다. 이러한 불연속 주파수 변조 기법을 통해서 MTIE를 한 클럭 이내로 유지하면서 높은 변조 폭을 가져갈 수 있으므로 EMI를 효과적으로 줄일 수 있다.

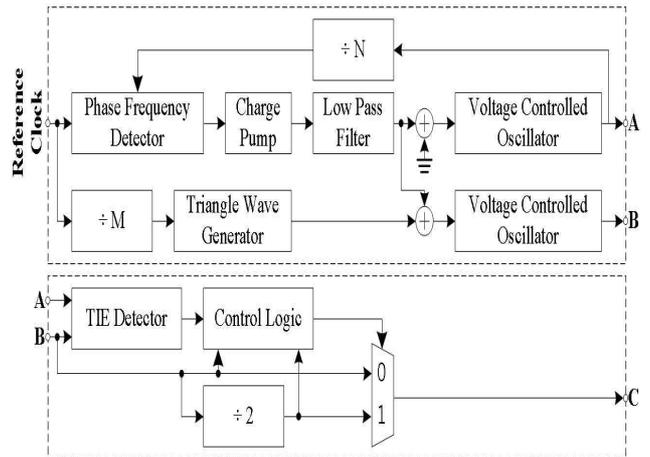


그림 5. 제안된 불연속 변조 SSC의 블록 다이어그램
Fig. 5. Block diagram of the proposed discontinuous modulation SSC (Signal A: Non-SSC, Signal B: Up-SSC, Signal C: DSSC).

본 논문에서는 up-spread 방법을 사용하고 TIE의 값을 항상 모니터링하기 위해 기준 클럭 (Fig. 4에서 "Non-SSC")을 사용하였다. Fig. 5는 본 방법에서 사용된 up-spread 아키텍처를 보여준다. 그Fig. 5는 일반적인 PLL 구조에서 VCO, triangle wave generator 및 전압 합성기를 추가하여 up-spread 클럭을 형성한 회로도들을 보여준다. 그림에서 신호 "A"에서 "Non-SSC"가 발생하는 동시에 신호 "B"에서 up-spread 된 SSC가 발생한다. 즉, "Up-SSC"가 형성된다. Fig. 5에서 아랫부분은 DSSC를 발생하기 위해 추가된 회로이다. TIE detector, 1/2 divider, MUX, 및 간단한 control logic으로 구성된다. TIE detector에 의하여 TIE의 값을 항상 모니터링 하여 TIE의 값이 한 클럭 누적되는 지점을 찾아낸다. 또한, 1/2 divider, MUX 및 control logic에 의하여 TIE의 값이 한 클럭 누적되는 지점에서 주파수가 $f_c/2$ 인 클럭을 한번 선택하여 출력 신호 "C"의 TIE 값을 리셋 시킨다. 따라서 최종 출력 신호 "C" 즉, DSSC는 TIE의 값이 한 클럭 이내로 유지되면서 낮은 EMI를 가질 수 있다.

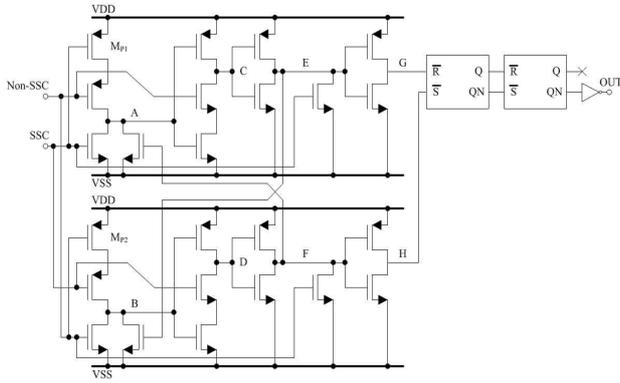


그림 6. TIE 검출 회로
Fig. 6. TIE detector circuit.

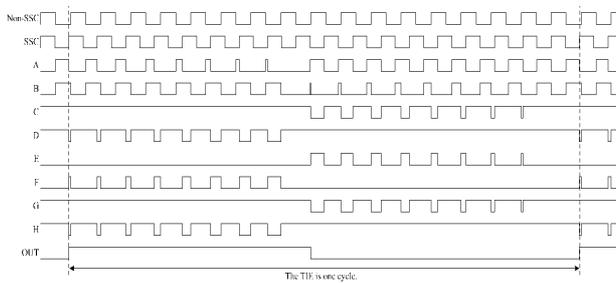


그림 7. TIE 검출의 타이밍 다이어그램
Fig. 7. TIE detector's timing diagram.

Fig. 6은 본 논문에서 제안하는 TIE detector 회로이다. 기존의 non-glitch PFD (phase frequency detector) 회로에서 설계한 회로이다 [6]. 회로에서 소자 M_{P1} 와 M_{P2} 를 추가하여 "Non-SSC"신호와 "SSC"신호가 동시에 "1"인 구간에서 발생하는 단락 전류(short current)를 방지하였다. 또한, PFD 회로의 뒤 단에 RS레지 회로를 추가하여 구현되었다. Fig. 7은 TIE detector 회로의 동작 타이밍 도이다. 신호 "G"와 신호 "H"에 의해 최종 출력 신호 "OUT"는 set 및 reset 되면서 매번 TIE의 값이 한 클럭 누적되는 지점에서 상승 에지가 발생한다. 이 상승 에지에 의해 TIE의 값을 실시간 한 클럭 누적되는 지점을 모니터링 한다. 또한, 제안하는 회로에서 control logic은 아주 간단하게 6개의 DFF와 5개의 로직 게이트만 사용하면 구현할 수 있다.

III. 측정 및 결과

제안된 불연속 주파수 변조 방법은 0.35- μm CMOS 공정 및 동작 전압이 3.3V인 칩에 설계하여 제안된 방법을 검증하였다. Fig. 8은 검증 칩 및 레이아웃을 보여준다. 제안하는 방법에서 사용된 칩의 크기는 520- μm

x 270- μm 이다. 회로에서 "Triangle Wave Generator"는 아날로그 방식으로 구현하여 많은 면적을 차지하게 되었다. 이 부분을 디지털 방식으로 설계하면 EMI 성능에서는 약간의 손실을 보지만 칩 면적을 줄이는데 큰 이득을 얻을 수 있다.

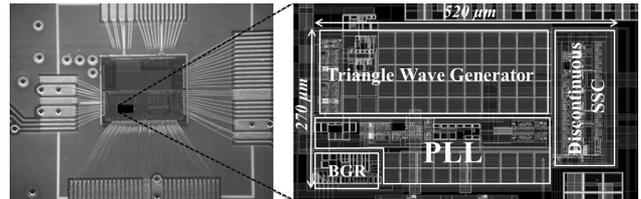


그림 8. 테스트 칩의 사진과 레이아웃
Fig. 8. Test chip photograph and layout.

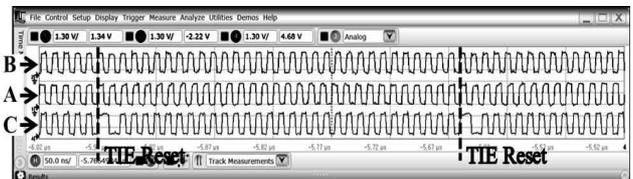


그림 9. 불연속 변조 SSC의 측정
Fig. 9. Measured discontinuous modulation SSC (Signal A: Non-SSC, Signal B: Up-SSC, Signal C: DSSC).

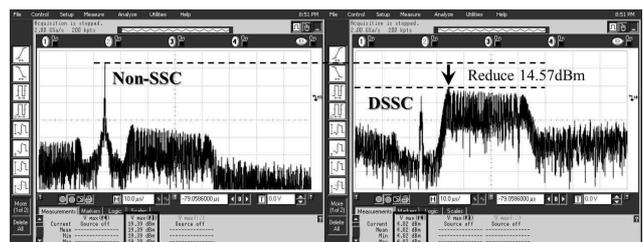


그림 10. 출력 신호의 스펙트럼 측정
Fig. 10. Measured spectrums of the output signals (Non-SSC and DSSC).

칩 테스트에서 사용하는 변조 주파수(F_{mod})는 50 KHz 이고 변조 깊이(A_{mod})는 7%이며 중심 주파수 (Fig. 4에서 "Non-SSC")가 100MHz인 파라미터에서 측정되었다. Fig. 9는 측정된 클럭 신호의 시간 영역 결과를 보여 준다. 그림에서 신호 "A", "B" 및 "C"는 각각 Fig. 5의 "A", "B" 및 "C"가 된다. 즉, Non-SSC, Up-SSC 및 DSSC가 된다. 이는 Up-SSC의 TIE가 Non-SSC에 의해 한 클럭 누적되는 지점에서 DSSC의 TIE 값이 리셋되는 것을 확인할 수 있다. Fig. 10은 Non-SSC와 DSSC의 주파수 영역을 보여준다. 측정 결과, DSSC는

Non-SSC에 비해 EMI 특성이 14.57dB 개선되는 것을 확인할 수 있다. Fig. 11은 측정된 DSSC의 MTIE 값을 보여준다. 한 변조 주기에서 측정된 MTIE 값은 11.59ns이다. 이는 같은 변조 파라미터에서 일반적인 SSC를 사용하는 경우 MTIE 값이 175ns에서 11.59ns로 개선된 것이다. 즉, 기존의 방법과 비해 동일한 EMI 성능에서 MTIE의 값이 163.4ns 개선된 것이다.

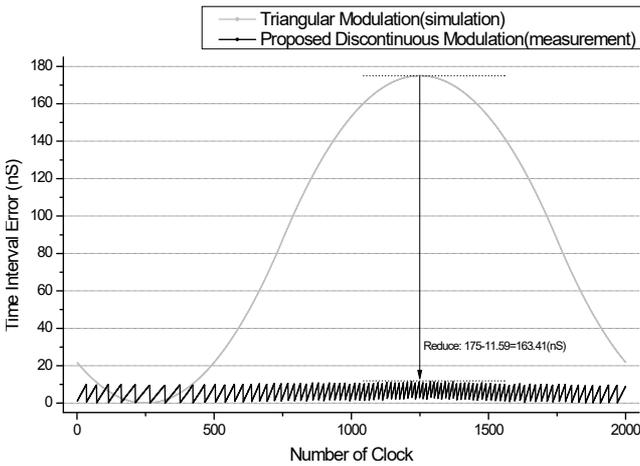


그림 11. Time interval error 측정

Fig. 11. Measured time interval error.

IV. 결론

본 논문에서는 불연속 변조 기법을 이용한 SSCG를 제안하였다. 제안된 방법은 아주 간단한 회로를 추가하여 기존의 SSCG와 비해 같은 EMI 개선이 되는 동시에 아주 낮은 MTIE를 가져갈 수 있다. 즉, MTIE의 값은 한 클럭 이하를 유지한다. 제안된 방법은 비동기 통신과 같은 엄격한 MTIE를 만족하는 동시에 상대적으로 낮은 EMI를 가져갈 수 있다. 측정 결과, 100MHz인 클럭 주파수에서 EMI level이 14.57dB 개선되는 동시에 MTIE는 11.59ns으로 163.4nS 개선되었다.

감사의 글

본 연구는 지식경제부에서 지원하는 산업융합원천기술개발 사업의 일환으로 수행되었다. 도움을 주신 관계자 여러분께 감사하는 바이다.

참고 문헌

- [1] H. Chang, et al., "A spread-spectrum clock generator with triangular modulation," IEEE Journal of Solid-State Circuits, v. 38, no. 4, pp. 673-676, Apr. 2003.
- [2] T. Steinecke, "Low-jitter frequency-modulated PLL," Asia-pacific Symposium on Electromagnetic Compatibility, pp. 329-332, May 2012.
- [3] J. Zhou and W. Dehaene, "A synchronization-free spread spectrum clock generation technique for automotive applications," IEEE Trans. Electromagn. Comp., vol. 53, no. 1, pp. 169-177, Feb. 2011.
- [4] N. Da Dalt, et al., "An all-digital PLL using random modulation for SSC generation in 65nm CMOS," Solid-State Circuits Conference Digest of Technical Papers (ISSCC), pp. 252-253, Feb. 2013.
- [5] Y. Komatsu, et al., "Bi-directional AC coupled interface with adaptive spread spectrum clock generator," Proceedings of IEEE Asian Solid-State circuits conference, pp. 71-74, Nov. 2007.
- [6] H.-C. Chow and N.-Y. Yeh, "A new phase-locked loop with high speed phase frequency detector," IEEE Conference Proceedings, Circuits and Systems, vol. 2, pp. 1342-1345, 7-10 Aug. 2005.



박태명

2008년 Dalian Polytechnic Univ,
School of Information Science
and Engineering, 학사 졸업
2008년 ~ 현재 숭실대학교 정보통신
전자공학부 석사 과정

<주관심분야 : Chip-level EMC,
EMC-aware IC, Safety-aware
PMIC>



위 재 경

1998년 연세대학교 물리학과 학사 졸업

1990년 서울대학교 물리학과 석사 졸업

1998년 서울대학교 전자공학과 박사 졸업

1990년 ~ 2002년 하이닉스 메모리 연구소 근무

2002년 ~ 2004년 한림대학교 정보통신공학부 조교수

2004년 ~ 2007년 송실대학교 정보통신전자공학부 조교수

2008년 ~ 현재 송실대학교 정보통신전자공학부 정교수

<주관심분야 : Chip-level EMC, EMC-aware IC, System-in-package, Safety-aware PMIC, Bio-sensor ROICs>



김 부 군

1979년 서울대학교 전자공학과 학사 졸업

1981년 KAIST 전기및전자공학과 석사 졸업

1989년 University of Southern California, 전자공학과 박사 졸업

2011년~2013년 중앙전파관리소

전파관리위원회 자문위원

2011년~2014년 산업기술연구회 이사

2008년~2010년 송실대학교 IT대학 학장

1981년~현재 송실대학교 정보통신전자공학부 교수

<주관심분야 : 위상 배열 안테나, 마이크로스트립 안테나, EMC>